

ЭЛЕКТРОННАЯ ТЕХНИКА

СЕРИЯ 3

МИКРОЭЛЕКТРОНИКА

Научно-технический журнал

Выпуск 2 (158) 2015

ELECTRONIC ENGINEERING

SERIES 3

MICROELECTRONICS

Scientific & technical journal

Issue 2 (158) 2015

Москва, 2015

"ЭЛЕКТРОННАЯ ТЕХНИКА.**Серия 3. МИКРОЭЛЕКТРОНИКА"****Редакционный совет****Главный редактор**

Красников Г.Я., д.т.н., академик РАН

Члены редакционного совета

Аристов В.В., член-корреспондент РАН,

Асеев А.Л., д.ф.-м.н., академик РАН.

Бетелин В.Б., академик РАН, д.ф.-м.н.,

Бокарев В.П., к.х.н., ответственный секретарь,

Бугаев А.С., д.ф.-м.н., академик РАН.

Быков В.А., д.т.н.

Галиев Г.Б., д.ф.-м.н.

Горбачев А.А. член-корреспондент РАН, д.ф.-м.н.

Горнев Е.С., д.т.н., зам. главного редактора.

Грибов Б.Г., д.х.н., член-корреспондент РАН.

Зайцев Н.А., д.т.н.

Ким А.К., к.т.н.

Критенко М.И., к.т.н.

Немудров В.Г., д.т.н.

Орликовский А.А., д.т.н., академик РАН.

Петричкович Я.Я., д.т.н.

Сигов А.С., д.ф.-м.н., академик РАН.

Стемпковский А.Л., д.т.н., академик РАН.

Чаплыгин Ю.А., д.т.н., член-корреспондент РАН.

Шелепин Н.А., д.т.н. зам. главного редактора

Эннс В.И., к.т.н.

Адрес редакции

124460 г. Москва, Зеленоград,
1-й Западный проезд, д. 12, стр. 1
☎ +7 495 229-70-43

✉ journal_EEM-3@mikron.ru

🌐 www.mikron.ru/journal

Журнал издается с 1965 года

Учредитель

АО "Научно-исследовательский
институт молекулярной
электроники"

РАЗРАБОТКА И КОНСТРУИРОВАНИЕ**СЕМЕЙСТВО КНИ МИКРОСХЕМ ПЗУ ИНФОРМАЦИОННОЙ ЕМКОСТЬЮ 4–64 МБИТ ДЛЯ АЭРОКОСМИЧЕСКИХ ПРИМЕНЕНИЙ**

Г.Я.Красников, В.Д.Мещанов, Н.А.Шелепин 4–12

ПОВЫШЕНИЕ СБЕОУСТОЙЧИВОСТИ**СЛОЖНО-ФУНКЦИОНАЛЬНЫХ БЛОКОВ ОЗУ В КМОП СБИС**Ю.М.Герасимов, Н.Г.Григорьев, А.В.Кобыляцкий,
Я.Я.Петричкович 13–19**СОВРЕМЕННЫЕ КМОП КЛЮЧИ ДЛЯ СВЧ ДИАПАЗОНА**

В.В.Репин, М.Г.Дроздецкий, И.И.Мухин 20–31

РАЗРАБОТКА ОТЕЧЕСТВЕННОГО КОММУТАТОРА**ДЛЯ ПРОГРАММНО-КОНФИГУРИРУЕМЫХ СЕТЕЙ (ПКС)**

Р.Л.Смелянский, В.В.Васин, С.О.Беззубцев 32–45

ПРОЦЕССЫ И ТЕХНОЛОГИЯ**АСПЕКТЫ ОЦЕНКИ ЭФФЕКТИВНОСТИ ПРОЦЕССОРНЫХ АРХИТЕКТУР**

Д.Б.Бычков, С.Ю.Дождев 46–51

СВОЙСТВА МАТЕРИАЛОВ**СОВРЕМЕННОЕ СОСТОЯНИЕ РАЗРАБОТОК В ОБЛАСТИ ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТИ ТИПА РСМ**

Г.Я.Красников, Н.А.Зайцев, А.Г.Красников, Ю.И.Плотников 52–60

МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ**АНАЛИЗ КОНЦЕПЦИЙ НЕКЛАССИЧЕСКОГО КОМПЬЮТИНГА И ПАРАДИГМЫ КОННЕКЦИОНИЗМА**

Е.С.Горнев, И.В.Матюшкин, Г.С.Теплов 61–92

СРАВНЕНИЕ МЕТОДОВ ЭЛЕКТРОННО-ЛУЧЕВОЙ**ЛИТОГРАФИИ С НЕПОСРЕДСТВЕННЫМ ФОРМИРОВАНИЕМ РИСУНКА И ИММЕРСИОННОЙ ЛИТОГРАФИИ 193-НМ ДЛЯ ТОПОЛОГИЧЕСКИХ РАЗМЕРОВ 20 НМ**

П.Брандт, Ч.Сардана, Д.Ибботсон, М.Виланд, О.Фау 93–104

НАДЕЖНОСТЬ**КОСМИЧЕСКАЯ ПРОГРАММА И РАДИАЦИОННАЯ СТОЙКОСТЬ СОВРЕМЕННЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ**

М.С.Темирбулатов, В.И.Эннс 105–121

РАБОТЫ СТУДЕНТОВ**ЗАЩИТА ВХОДОВ КМОП-КОМПАРАТОРОВ ПАРАЛЛЕЛЬНОГО АЦП ОТ ЭФФЕКТА ОБРАТНОГО ПРОХОЖДЕНИЯ СИГНАЛА**

Л.А.Антюфьева, Р.С.Михеев 122–126

АННОТАЦИИ 127–130

"ELECTRONIC ENGINEERING. Series 3. MICROELECTRONICS"

Editorial Council

Chief Editor

G.Ya. Krasnikov, Sc.D., Full Member of the RAS

The Members of Editorial Council

V.V. Aristov, Sc.D., Corresponding Member of the RAS

A.L. Aseev, Sc.D., Full Member of the RAS

V.B. Betelin, Sc.D., Full Member of the RAS

V.P. Bokarev, Ph.D., Responsible Secretary

A.S. Bugaev, , Full Member of the RAS

V.A. Bykov, Sc.D.

G.B. Galiev, Sc.D.

A.A. Gorbatshevich, Sc.D., Corresponding Member of the RAS
E.S. Gornev, Sc.D., Deputy Chief Editor

B.G. Gribov, Sc.D., Corresponding Member of the RAS

N.A. Zaitsev, Sc.D.

A.K. Kim, Ph.D.

M.I. Kritenko, Ph.D.

V.G. Nemudrov, Sc.D.

A.A. Orlikovsky, Sc.D., Full Member of the RAS

Ya. Ya. Petrichkovich, Sc.D.

A.S. Sigov, Sc.D., Full Member of the RAS

A.L. Stempkovskiy, Sc.D., Full Member of the RAS

Y.A. Chaplygin, Sc.D., Corresponding Member of the RAS

N.A. Shelepin, Sc.D., Deputy Chief Editor

V.V. Enns, Ph.D.

Editorial Staff Address

1-st Zapadny pr-d 12, str. 1.

Zelenograd, Moscow, 124460, Russian Federation

Phone: +7 (495) 229-70-43

E-mail: journal_EEM-3@mikron.ru

<http://www.mikron.ru/journal>

Journal was published from 1965 year

Founder

Joint-Stock Company "Molecular Electronic Research Institute"

DEVELOPMENT AND DESIGNING

FAMILY 4–64 MBIT ROM INTEGRATED CIRCUITS FOR SPACE APPLICATIONS

G.Ya.Krasnikov, V.D.Meschanov, N.A.Shelepin 4–12

IMPROVEMENT OF SRAM IP-BLOCKS HEAVY ION TOLERANCE IN BULK CMOS ASICS

Y.M.Gerasimov, N.M.Grigoryev, A.V.Kobylyatskiy, Y.Y.Petrichkovich13–19

MODERN CMOS MICROWAVE SWITCHES

V.V.Repin, M.G.Drozdetsky, I.I.Mukhin20–31

DEVELOPMENT OF THE FIRST RUSSIAN SDN-SWITCH

R.Smeliansky, V.Vasin, S.Bezzubtsev 32–45

PROCESSES AND TECHNOLOGY

ASPECTS OF PROCESSOR ARCHITECTURES PERFORMANCE METRICS

D.B.Bychkov, S.Y.Dozhdev 46–51

PROPERTIES OF MATERIALS

CONTEMPORARY SITUATION

IN THE FIELD OF NON-VOLATILE MEMORY DEVELOPMENT

G.Ya.Krasnikov, N.A.Zaytsev, A.G.Krasnikov, Y.I.Plotnikov52–60

MATHEMATICAL SIMULATION

NON-CLASSICAL COMPUTING CONCEPTS AND CONNECTIONISM PARADIGM ANALYSIS.

E.S.Gornev, I.V.Matyushkin, G.S.Teplov61–92

COMPARISON BETWEEN E-BEAM DIRECT WRITE AND IMMERSION LITHOGRAPHY FOR 20 nm NODE

P.Brandt, C.Sardana, D.Ibbotson, M.Wieland, A.Fay93–104

RELIABILITY

SPACE PROGRAM AND RADIATION HARDNESS OF MODERN IC'S

M.S.Temirbulatov, V.I.Enns 105–121

WORKS OF STUDENTS

REDUCING KICKBACK NOISE ON CMOS COMPARATOR'S INPUTS IN PARALLEL ADC

L.Antyufrieva, R.Mikheev 122–126

ABSTRACTS 127–130

СЕМЕЙСТВО МИКРОСХЕМ ПЗУ ИНФОРМАЦИОННОЙ ЕМКОСТЬЮ 4–64 МБИТ ДЛЯ КОСМИЧЕСКИХ ПРИМЕНЕНИЙ

► Г. Я. Красников, В. Д. Мещанов, Н. А. Шелепин

Представлены особенности конструкции, результаты исследований и испытаний разработанного семейства микросхем ПЗУ информационной емкостью 4–64 Мбит для применений в космических аппаратах. Приведены сравнительные с известными аналогами характеристики стойкости разработанного семейства ПЗУ к ионизирующему излучению космического пространства (ИИ КП) по дозе радиации и воздействию тяжелых заряженных частиц (ТЗЧ).

Ключевые слова: ПЗУ, информационная емкость, доза радиации, тяжелые заряженные частицы.

FAMILY 4–64 MBIT ROM INTEGRATED CIRCUITS FOR SPACE APPLICATIONS

G. Ya. Krasnikov, V. D. Meschanov, N. A. Shelepin

The design features, research and testing results, resistance to the total dose cosmic radiation and the heavy charged particles of the family ROM integrated circuits with information capacity 4–64 Mbit for applications in spacecraft are presented.

Key words: ROM, information capacity, total dose cosmic radiation, heavy charged particles.

ВВЕДЕНИЕ

Микросхемы, используемые для комплектования управляющих и вычислительных устройств космических аппаратов должны обладать стойкостью к космической радиации и воздействию ТЗЧ.

Оценка приблизительной частоты одиночных сбоев памяти космического аппарата "Фобос-Грунт", сделанная в [1], дает значение до 12,5 одиночных сбоев в час по всей траектории полета Земля-Фобос, что свидетельствует о важности обеспечения сбоеустойчивости элементной базы космических аппаратов. Актуальность обеспечения радиационной стойкости и сбоеустойчивости микросхем космического применения в очередной раз подтверждена, в частности, заключением межведомственной комиссии по нештатной ситуации с космическим аппаратом "Фобос-Грунт", наиболее вероятной причиной этой ситуации названо именно воздействие ТЗЧ [2].

В настоящей работе представлено семейство из пяти микросхем ПЗУ информационной емкостью 4, 8, 16, 32, 64 Мбит, удовлетворяющих

требованиям космического применения по дозе радиации, отказам и мягким сбоям при воздействии ТЗЧ.

Единым семейством названные выше микросхемы ПЗУ делает идентичность всех их основных характеристик, включая КНИ-технологию изготовления, единое корпусное исполнение и назначение выводов пяти микросхем, идентичные варианты разрядности всех микросхем (8, 16 и 32 разряда), идентичность их временных и электрических параметров, значений стойкости к радиации и воздействию ТЗЧ. Требование идентичности характеристик семейства микросхем заложено в проект изначально, на этапе разработки концепции проекта, для обеспечения максимальной унификации микросхем, простоты и удобства перехода от младших к старшим (по информационной емкости) членам семейства при разработке или модернизации аппаратуры. Использование КНИ-технологии изготовления обеспечивает исключение тиристорных эффектов от воздействия ТЗЧ и связанных с ними катастрофических отказов,

способствует достижению требуемой радиационной стойкости. Устойчивость микросхем ПЗУ к мягким сбоям при воздействии ТЗЧ (сбоеустойчивость) обеспечивается использованием специальных схемотехнических и топологических решений.

В работе представлены результаты разработки семейства микросхем и результаты изготовления и испытаний первых трех представителей этого семейства – микросхем ПЗУ информационной емкостью 4, 8, и 16 Мбит.

КОНСТРУКЦИЯ СЕМЕЙСТВА МИКРОСХЕМ ПЗУ

Микросхемы ПЗУ информационной емкостью 4, 8, 16, 32, 64 Мбит (рис.1) имеют следующий состав внешних выводов:

- входы адресов A0–An (An=A18, A19, A20, A21, A22 соответственно для ПЗУ информационной емкостью 4, 8, 16, 32, 64 Мбит);
- выходы данных Q0–Q31;
- входы управляющих сигналов nOE, nCE0, CE1, nCEs;
- входы nF0 и nF1 двухразрядного порта форматирования разрядности слов данных;
- Vcc, Vcc0 – соответственно, выводы питания ядра и выходов данных;
- Vss, Vss0 – соответственно, выводы общей шины ядра и выходов данных;
- вывод nGL – тестовый вывод управления схемами фильтрации помех, возникающих от воздействия ТЗЧ. Вывод недоступен для потребителей, при использовании в аппаратуре подключается к общей шине.

Кристаллы всех микросхем ПЗУ построены на основе базового СФ – блока ПЗУ емкостью 1 Мбит. При обращении к любой из микросхем семейства активизируется только один из образующих эту микросхему базовых блоков, чем обеспечивается идентичность электрических и временных характеристик микросхем.

Во всех трактах передачи сигналов от входов ПЗУ к ячейкам памяти и от ячеек памяти к выходам ПЗУ использованы схемотехнические и топологические решения, защищающие от сбоев при воздействии ТЗЧ и обеспечивающие фильтрацию возникающих помех. По результатам расчетов на этапе проектирования, которые подтверждены последующими испытаниями опытных образцов, при воздействии ТЗЧ во время циклов считывания информации из ПЗУ сбой информации не возникают вплоть до значения линейных потерь энергии (ЛПЭ) ТЗЧ, равного 120 МэВ·см²/мг.

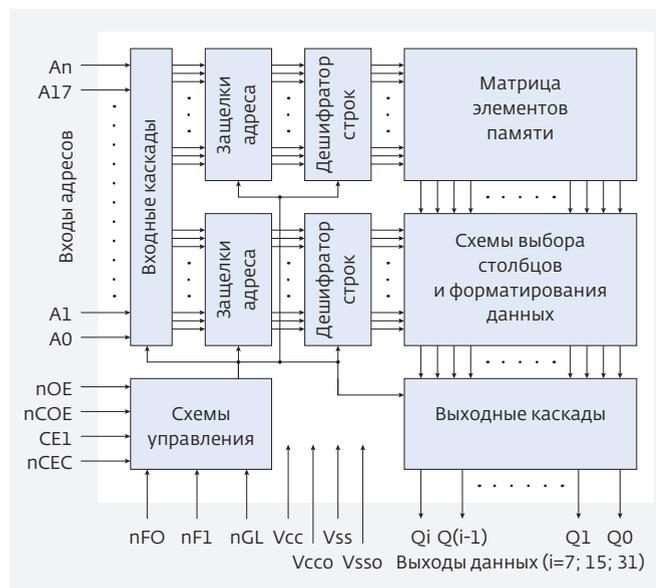


Рис.1. Структурная схема микросхем ПЗУ информационной емкостью 4, 8, 16, 32, 64 Мбит

Все микросхемы семейства имеют два варианта корпусного исполнения: в корпусе 4226.108 на 108 выводов и в корпусе H18.64 на 64 вывода. В корпусе на 108 выводов доступны три варианта разрядности (формата) слов данных: 8, 16, и 32 разряда. В корпусе на 64 вывода доступны два варианта формата слов данных: 8 и 16 разрядов. Для выбора формата считываемых слов данных микросхема имеет двухразрядный порт форматирования. Выбор формата считываемых слов данных осуществляется путем задания на выводах порта форматирования микросхемы nF1 и nF0 (рис.1) соответствующих значений логических уровней (табл.1).

Основные характеристики микросхем ПЗУ информационной емкостью 4, 8 и 16 Мбит, прошедших испытания, включая

Таблица 1. Соответствие разрядности считываемых из ПЗУ слов данных значениям логических уровней, задаваемых на выводах порта форматирования nF1 и nF0

nF1	nF0	Активные выходы	Количество разрядов (байтов) в слове данных
0	0	Q0...Q7	8 (1)
0	1	Q0...Q15	16 (2)
1	0	Q0...Q31	32 (4)

Таблица 2. Основные характеристики микросхем КНИ ПЗУ емкостью 4, 8, 16 Мбит

Емкость ПЗУ	4 Мбит	8 Мбит	16 Мбит
Формат слов данных, бит	8, 16, 32		
Напряжение питания, В	2,7–3,7		
Температурный диапазон, °С	–60...125		
Время выборки, нс	33		
Статический ток потребления, мА	4		
Динамический ток потребления (10 мГц)	25		
Накопленная доза, крад	300		
SEL ЛПЭ, МэВ·см ² /мг	94*		
SEU ЛПЭ, МэВ·см ² /мг	94*		
Сечение одиночного сбоя SEU см ² /кристалл	0		

* Максимальный уровень воздействия в процессе испытаний.

воздействие радиации и ТЗЧ, приведены в табл.2. Микросхемы ПЗУ 4, 8, 16 Мбит изготовлены по КМОП КНИ-технологии с минимальной длиной затвора 0,24 мкм при размерах остальных

Таблица 3. Показатели истинности микросхем ПЗУ

№	Режимы работы	nCE 0	CE1	nCEC	nOE	Выходы данных Q ₀ ...Q _n
1	Чтение по смене адреса	L	H	L	L	Данные
2	Чтение по nCE0	┘	H	L	L	Данные
3	Чтение по CE1	L	┘	L	L	Данные
4	Чтение по nOE	L	H	L	┘	Данные
5	Чтение по nCEC	L	H	┘	L	Данные
6	Запрет вывода данных	X	X	X	H	Z
7	Хранение	H	X	X	X	Z
8	Хранение	X	L	X	X	Z

Условные обозначения: H – состояние с высоким логическим уровнем напряжения; L – состояние с низким логическим уровнем напряжения; X – произвольное логическое состояние (H или L).

элементов, соответствующих технологическому уровню 0,18 мкм.

РЕЖИМЫ РАБОТЫ МИКРОСХЕМ ПЗУ

Микросхемы ПЗУ могут использоваться в восьми режимах (табл.3), которые реализуются в зависимости от четырех управляющих сигналов: nCE0, CE1, nCEC, nOE.

Микросхемы ПЗУ имеют четыре режима чтения данных: 1, 2 (3), 4, 5 (табл.3).

Режимы чтения по смене адреса, чтение по nCE0, чтение по nOE являются традиционными режимами работы ПЗУ, временные диаграммы которых хорошо известны [3, 4].

Временная диаграмма чтения по CE1 идентична временной диаграмме чтения по nCE0 с поправкой на активное состояние управляющего сигнала (у nCE0 активным является низкий уровень, у CE1 – высокий (табл.3).

В соответствии с рис.1 и табл.3 микросхема переводится в активное состояние (активизируется, выбирается) двумя противофазными сигналами выборки: nCE0 и CE1 (при низком уровне управляющего сигнала nCEC, о котором будет сказано позже). Наличие двух сигналов выборки дает дополнительную возможность разработчикам аппаратуры организовать простую двухкоординатную выборку одной микросхемы из массива расположенных на плате нескольких микросхем ПЗУ.

Новым в представленном семействе микросхем, дополнительным к названным выше

традиционным режимам выборки, является режим чтения по nCEC.

Временная диаграмма работы ПЗУ при чтении по nCEC приведена на рис.2.

Значения параметров временной диаграммы чтения данных по сигналу nCEC для микросхем ПЗУ информационной емкостью 4, 8, 16 Мбит приведены в табл.4.

Режим чтения по nCEC является модификацией режима синхронного чтения ПЗУ и отличается предельно коротким временным интервалом, в течение которого на входах ПЗУ должен удерживаться код адреса выбираемого слова данных. Интервал времени, в течение которого на входах ПЗУ должен быть установлен и сохраняться адрес выбираемого слова, составляет всего 12 нс ($t_{W(CEC)} + t_{V(CEC-A)} = 12$ нс) (рис.3, табл.4), что почти в три раза меньше длительности цикла $t_{CYR(CEC)}$. Такой режим чтения позволяет при необходимости использовать ПЗУ в системе с объединенной шиной адреса и данных, тем самым расширяет функциональные возможности и запасы работоспособности системы в целом.

ЧТЕНИЕ МИКРОСХЕМ ПЗУ В ТРЕХ ВАРИАНТАХ РАЗЯДНОСТИ СЛОВ ДАННЫХ

Еще одна важная дополнительная опция представленного семейства микросхем ПЗУ, которая расширяет возможности разработчиков аппаратуры по использованию общей шины данных, состоит в следующем.

Микросхемы ПЗУ позволяют данные, записанные в одном из трех форматов (словами с разрядностью или 8, или 16, или 32 бит), считать в любом

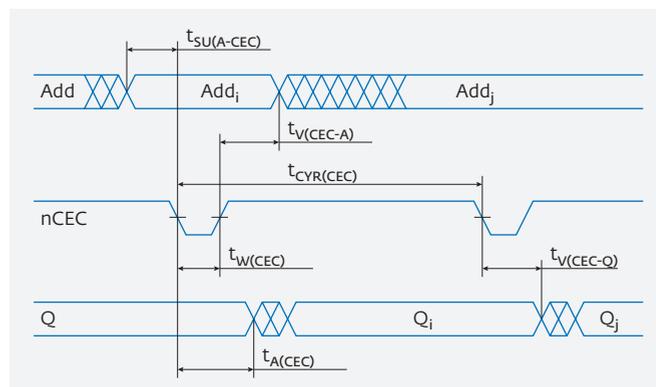


Рис.2. Временная диаграмма чтения данных из ПЗУ по сигналу nCEC

из этих трех возможных форматов (словами с разрядностью и 8, и 16, и 32 бит) (табл.1).

Например, если в ПЗУ записаны четыре слова данных четырьмя восьмиразрядными словами, то они могут быть считаны из ПЗУ в следующих трех разных форматах:

- восьмиразрядными (однобайтными) словами, одно за другим (табл.5, п.1) за четыре последовательных цикла считывания через выходы ПЗУ Q0-Q7;
- двумя 16-разрядными (двухбайтными) словами (табл.5, п.2) за два последовательных цикла считывания через выходы ПЗУ Q0-Q15;
- одним 32-разрядным (четырёхбайтным) словом (табл.5, п.3) за один цикл считывания через выходы ПЗУ Q0-Q31.

Аналогично, в соответствии с табл.5 записанное в ПЗУ 32-разрядное слово данных может быть считано из ПЗУ или одним 32-разрядным словом, или двумя последовательно считываемыми

Таблица 4. Значения параметров временной диаграммы чтения данных по сигналу nCEC

№	Обозначение параметра		Название параметра	Значение параметра
1	$t_{CYR(CEC)}$	min	Длительность цикла по сигналу nCEC, нс	33
2	$t_{W(CEC)}$	min	Длительность сигнала nCEC, нс	8
3	$t_{A(CEC)}$	max	Время выборки сигнала nCEC, нс	33
4	$t_{V(CEC-A)}$	min	Время сохранения адреса после окончания сигнала nCEC, нс	4
5	$t_{V(CEC-Q)}$	min	Время сохранения информации на выходе после перехода сигнала nCEC к активному состоянию, нс	8
6	$t_{SU(A-CEC)}$	min	Время установления адреса до начала сигнала nCEC	0

Таблица 5. Чтение микросхемы ПЗУ в трех вариантах разрядности данных

№	*nF0, nF1	Выходы Q0–Q31 микросхемы ПЗУ						
		Вектор адреса			Данные на выходах			
		A0–A18	An–1	An	Q0–Q7	Q8–Q15	Q16–Q23	Q24–Q31
Однобайтные слова данных								
1	00	A0–A18	0	0	Байт 1	–	–	–
		A0–A18	1	0	Байт 2	–	–	–
		A0–A18	0	1	Байт 3	–	–	–
		A0–A18	1	1	Байт 4	–	–	–
Двухбайтные слова данных								
2	10	A0–A18	0	–	Байт 1	Байт 2	–	–
		A0–A18	1	–	Байт 3	Байт 4	–	–
Четырехбайтные слова данных								
3	01	A0–A18	–	–	Байт 1	Байт 2	Байт 3	Байт 4

* nF0, nF1 – порт разрядности слов данных, An – старший разряд вектора адреса.

16-разрядными словами, или четырьмя последовательно считываемыми восьмиразрядными словами.

Также, в соответствии с табл.5 записанные в ПЗУ два 16-разрядных слова могут быть считаны из ПЗУ или одним 32-разрядным словом, или двумя последовательно считываемыми 16-разрядными словами, или четырьмя последовательно считываемыми восьмиразрядными словами.

Руководство для потребителей по чтению ПЗУ в разной разрядности является приложением к техническим условиям на микросхемы ПЗУ.

ИСПЫТАНИЯ МИКРОСХЕМ ПЗУ НА ВОЗДЕЙСТВИЕ ДОЗЫ РАДИАЦИИ И ТЗУ

Испытания микросхем ПЗУ на стойкость к воздействию дозы облучения проводились в ОАО "ЭНПО СПЭЛС". Перед проведением испытаний дозовое воздействие испытательных установок калибровалось штатными средствами дозиметрии.

Облучение микросхем проводилось при напряжении питания 3,7 В и температуре -60, 25 и 125°C. Во время облучения микросхемы находились в режиме хранения и считывания информации.

Контроль функционирования микросхем проводился при напряжениях питания 2,7; 3,3 и 3,7 В. Контроль токов потребления при хранении

Таблица 6. Результаты испытаний микросхем на воздействие дозы радиации

Доза радиации, крад.	Температура, °C	Статический ток, мкА			Динамический ток, 1мГц, мА			t _{A(CE)} , нс
		4 Мбит	8 Мбит	16 Мбит	4 Мбит	8 Мбит	16 Мбит	
0	25	450	1100	960	1,5	2,3	2,1	22
3 × 10 ⁵	25	480	1400	1300	1,5	2,5	2,4	22
0	125	1250	1510	1400	2,0	2,5	2,6	25
3 × 10 ⁵	125	1500	1690	1790	3,0	2,7	2,9	25

Таблица 7. Значения эффективных ЛПЭ ионов Ar, Kr, Bi в кремнии

Вид иона	Угол влета иона относительно нормали к поверхности кристалла, град	ЛПЭ, МэВ·см ² /мг
Висмут (Bi)	0	≈ 94
Криптон (Kr)	0	≈ 40
Аргон (Ar)	0	≈ 17

(статический ток) и режиме считывания (динамический ток) проводился при напряжении питания 3,7 В. Контроль быстродействия ($t_{A(CE)}$) проводился в режиме считывания при напряжении питания 2,7 В.

Результаты испытаний микросхем на воздействие дозы радиации (табл.6) подтверждают соответствие ПЗУ 4, 8, 16 Мбит требованиям стойкости, предъявляемым к микросхемам для применения в космических аппаратах.

Испытания микросхем ПЗУ на воздействие отдельных ТЗЧ проводились на базе изохронного

циклотрона У-400М (ОИЯИ, г. Дубна, Московская область). Испытания проводились на предмет выявления в процессе облучения двух типов одиночных событий (ОС):

- первый тип ОС – жесткие ОС типа SEN, SEB, SERG, SEL, состоящие в необратимом отказе микросхемы;
- второй тип ОС – мягкие ОС типа SEU, SET, MCU, SEFI, состоящие в сбоях в работе микросхем.

Испытания проводились путем облучения микросхемы ионами аргона (Ar) и криптона (Kr) при нормальной температуре корпуса (25°С), и ионами висмута (Bi) при нормальной температуре и температуре 125°С.

Значения эффективных ЛПЭ ионов Ar, Kr, Bi в кремнии (табл.7) учитывают потерю облучаемыми ионами части энергии при пролете через расположенные над поверхностью кремния пассивные окисные слои и слои металлизации кристалла.

Для выявления ОС необратимых отказов в процессе испытаний проводился контроль функционирования и тока потребления микросхемы.

Для регистрации ОС мягких сбоев в процессе испытаний проводилось непрерывное циклическое считывание информации из микросхемы

Таблица 8. Сравнительные характеристики микросхем ПЗУ различных производителей

Производитель	BAE	Aeroflex	3DPlus	Россия
Наименование	BAE238 A790	UT28F256VLQLE	3DP064M08VS2299	Семейство ПЗУ 4–16 Мбит
Информационная емкость	256 Кбит	256 Кбит	64 Мбит	4, 8, 16 Мбит
Напряжение питания, В	3,0–3,6	3,0–3,6	3,0–3,6	2,7–3,7
Максимальная накопленная доза, крад	200	от 100 до 1000	50	300°
SEL ЛПЭ, МэВ·см ² /мг	120	110	120	94°
SEU ЛПЭ, МэВ·см ² /мг	60	40	Нет данных	94°
Сечение SEU, см ² /кристалл	0	$2,5 \times 10^{-6}$	Нет данных	0
Поток ошибок на геостационарной орбите	0	$2,5 \times 10^{-12}$	Нет данных	0
Время доступа, нс	100	65	35	33

* Максимальный уровень воздействия в процессе испытаний.

с контролем работоспособности путем сравнения считываемых по каждому адресу данных с эталонным значением. Испытания проводились до значения флюенса частиц каждого типа, равного 10^7 см⁻².

В результате проведенных испытаний на воздействие ТЗЧ установлено следующее:

- в микросхемах ПЗУ 4, 8, 16 Мбит не зафиксировано ОС необратимых отказов при облучении всеми типами ионов, включая облучение ионами висмута (ЛПЭ около 94 МэВ·см²/мг) при максимальном напряжении питания 3,7В и температуре корпуса микросхемы +125°С;
- в микросхемах ПЗУ 4, 8, 16 Мбит не зафиксированы ОС сбоев при облучении всеми типами ионов при температуре корпуса микросхемы, соответствующей нормальным климатическим условиям и в наиболее критичном режиме работы микросхемы с минимальным напряжением питания 2,7 В.

Сравнение характеристик микросхем ПЗУ различных производителей [5, 6, 7] (табл.8) показывает, что микросхемы разработанного семейства ПЗУ соответствуют характеристикам известных аналогов по поглощенной дозе радиации и по значению ЛПЭ частиц, при которых гарантируется отсутствие необратимых катастрофических отказов и тиристорных эффектов, и превосходят характеристики известных аналогов по значению ЛПЭ частиц, при котором гарантируется отсутствие ОС типа мягких сбоев.

ЗАКЛЮЧЕНИЕ

- Микросхемы семейства ПЗУ информационной емкостью 4, 8, 16, 32, 64 Мбит характеризуются идентичностью всех основных параметров, включая единое корпусное исполнение, назначение выводов, разрядность (8, 16 и 32 разряда), идентичность их временных и электрических параметров, значений стойкости к радиации и воздействию ТЗЧ. Унификация электрических и временных параметров микросхем обеспечивается конструкцией, в которой независимо от информационной емкости микросхем при обращении активизируется только один из образующих эту микросхему базовых блоков емкостью 1 Мбит.

- В дополнение к традиционным режимам работы в микросхемах семейства реализован режим синхронного чтения с сигналом активации предельно короткой длительности, что позволяет при необходимости использовать ПЗУ в аппаратуре с объединенной шиной адреса и данных, расширяет функциональные возможности и запасы работоспособности системы в целом.
- Микросхемы ПЗУ позволяют данные, записанные в одном из трех форматов (словами с разрядностью или 8, или 16, или 32 бит), считать в любом из этих трех возможных форматов (словами с разрядностью и 8, и 16, и 32 бит) с сохранением цельности слов данных, что расширяет функциональные возможности микросхем в аппаратуре.
- Сравнение характеристик микросхем ПЗУ различных производителей показывает, что микросхемы разработанного семейства ПЗУ соответствуют характеристикам известных аналогов по дозе радиации и по значению ЛПЭ частиц, при котором гарантируется отсутствие катастрофических отказов и тиристорных эффектов, и превосходят характеристики известных аналогов по значению ЛПЭ частиц, при котором гарантируется отсутствие ОС типа мягких сбоев.

ЛИТЕРАТУРА

1. **Попов В.Д., Хамидулина Н.М., Кузнецов Н.В.** Оценка вероятности радиационных отказов и одиночных сбоев интегральных микросхем на борту космического аппарата Фобос-Грунт // Космические исследования. 2005. № 43. Вып. 3. С. 237–239.
2. Сайт федерального космического агентства <http://www.roscosmos.ru/18126>.
3. <http://www.alldatasheet.com/datasheetpdf/pdf/114306/SAMSUNG/KM23V32005BC.html>.
4. <http://pdf.datasheetcatalog.com/datasheet2/d/0jjiazd7roohrg3kudc3djhrglu7y.pdf.stml>.
5. **Попович А.** Сравнительный анализ радиационно-стойких микросхем ПЗУ // Компоненты и технологии. 2010. № 111. С. 92–93.
6. <http://ams.aeroflex.com/pagesproduct/datasheets/256LVPR0M6-06.pdf>.
7. <http://www.datasheets360.com/pdf/2720123039350050910>.

ПОВЫШЕНИЕ СБОЕУСТОЙЧИВОСТИ СЛОЖНО-ФУНКЦИОНАЛЬНЫХ БЛОКОВ ОЗУ В КМОП СБИС

► Ю.М.Герасимов, Н.Г.Григорьев, А.В.Кобыляцкий, Я.Я.Петричкович

Определены наиболее чувствительные к воздействию тяжелых частиц космического пространства функциональные узлы и элементы СФ-блоков статических КМОП ОЗУ. Проведен анализ структурных и схемотехнических методов повышения сбоеустойчивости функциональных узлов СФ-блоков ОЗУ. Рассмотрены особенности реализации данных методов по нанометровым проектным нормам. Указанные методы использованы при разработке СФ-блоков ОЗУ по объемной КМОП-технологии 180 нм и подтвердили свою эффективность.

IMPROVEMENT OF SRAM IP-BLOCKS HEAVY ION TOLERANCE IN BULK CMOS ASICS

Y.M.Gerasimov, N.M.Grigoryev, A.V.Kobylyatskiy, Y.Y.Petrichkovich

The most sensitive to the effects of space heavy particles functional parts and elements of CMOS SRAM IP-blocks were identified. The analysis of structural and circuit design techniques, that improve heavy ion tolerance of SRAM IP-blocks functional parts, was performed. The implementation features of these methods in nanoscale design rules were reviewed. The SRAM IP-blocks were designed on bulk 180 nm CMOS process using these methods and confirmed their effectiveness.

ВВЕДЕНИЕ

Сложно-функциональные блоки (СФ-блоки) ОЗУ являются одним из основных и обязательных блоков современных СБИС типа "система-на-кристалле" (СнК). С уменьшением проектных норм и ростом степени интеграции объем памяти различного типа (однопортовой, двухпортовой, регистровых файлов и др.) в современных нанометровых (180 нм и менее) СБИС СнК постоянно растет и в настоящее время превышает 50% площади ее активной части (ядра).

В настоящее время зарубежные фирмы для проектирования СБИС СнК по КМОП-технологиям объемного кремния (ОК) в режиме "Foundry" предоставляют разработчикам библиотеки элементов и компиляторы блоков памяти (одно- и двухпортовой), которые позволяют в зависимости от требований к параметрам, числу слов и разрядов синтезировать блок (и) ОЗУ в автоматическом режиме и предоставлять системному интегратору необходимую информацию для дальнейшего проектирования СБИС СнК.

Анализ схемотехнических и конструктивно-топологических особенностей, синтезированных компиляторами блоков ОЗУ, помог выявить ряд недостатков в технических решениях, которые не позволяют получить требуемый уровень радиационной стойкости СБИС, в частности, сбоеустойчивости при воздействии тяжелых частиц (ТЧ), необходимый в современных аэрокосмических системах. Экспериментальные исследования ряда КМОП СБИС на ОК, разработанных с использованием таких библиотек элементов и компиляторов памяти и изготовленных за рубежом, подтвердили их низкую радиационную стойкость по всем радиационным факторам.

Создание радиационно-стойких СФ-блоков ОЗУ основано на использовании методов радиационно-стойкого проектирования (РСП) [1, 2] как совокупности архитектурных, схемотехнических и конструктивно-топологических методов. В данной работе рассматриваются вопросы повышения сбоеустойчивости элементов и функциональных узлов СФ-блоков ОЗУ, а также проблема многократных

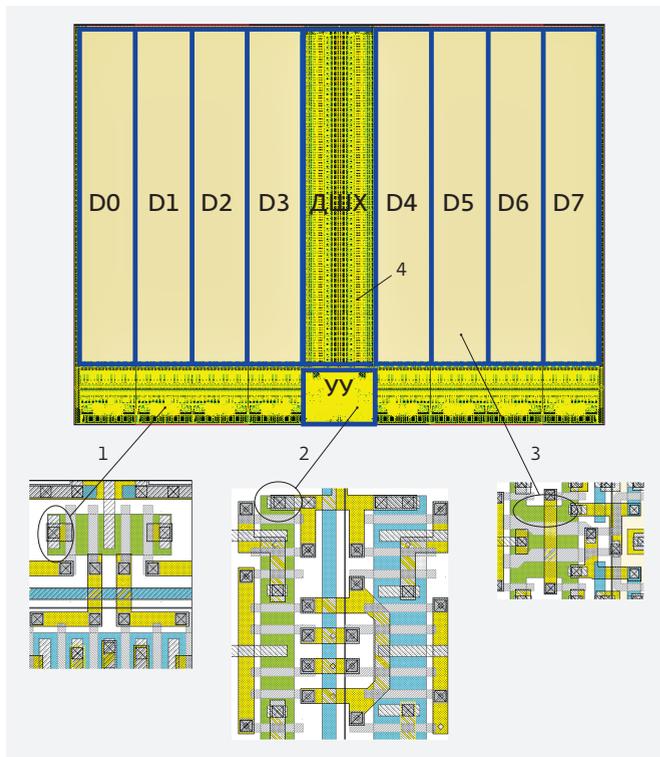


Рис.1. Топология СФ-блока двухпортового ОЗУ и критичных к воздействию ТЧ элементов

одиночных сбоях в матрице элементов памяти (МП) при воздействии ТЧ. Различные схемотехнические и конструктивно-топологические варианты радиационно-стойких ЭП рассмотрены в [3], где приведены их основные радиационные параметры и даны рекомендации по их использованию.

ОДИНОЧНЫЕ СБОИ В ЭЛЕМЕНТАХ СФ-БЛОКОВ ОЗУ

В современных СБИС S_nK число слов и разрядов в СФ-блоках ОЗУ может меняться в широких пределах, что предъявляет особые требования к их архитектуре (обеспечение параметризуемости и компилируемости), и накладывает определенные ограничения на структурные, схемотехнические и конструктивно-топологические решения СФ-блока и отдельных его элементов. Набор конструктивных элементов СФ-блока должен позволять вручную или в автоматическом режиме создавать характеризованные СФ-блоки необходимой размерности. Поскольку общий объем памяти в современных СБИС S_nK достаточно велик, то с точки зрения достижения ее оптимальных характеристик по быстродействию и потребляемой мощности объем собственно СФ-блока памяти **всегда**

ограничен в размерах. Каждый такой СФ-блок представляет собой функционально- и конструктивно-законченную подсистему памяти, которую достаточно просто наращивать, как по словам, так и по разрядам.

На рис.1, в качестве примера, приведена топология радиационно-стойкого СФ-блока двухпортового ОЗУ емкостью $2K \cdot 8$, разработанного по технологии 180 нм, где D0...D7 – разрядные секции матрицы памяти (МП), ДШХ – дешифратор строк матрицы памяти (накопителя), УУ – устройство управления, а также основные, наиболее критичные к воздействию ТЧ функциональные узлы: 1 – усилители записи-считывания, 2 – входные адресные регистры-формирователи, 3 – элементы памяти, 4 – элементы дешифраторов строк.

Наиболее критичными к сбоям во всех блоках памяти СБИС при воздействии ТЧ являются элементы памяти в МП, где, кроме одиночных сбоев (SEU), возможны и многократные одиночные (MBU) сбои [4, 5], кратность которых растет с уменьшением проектных норм. Причем сбои в элементах памяти наблюдаются не только в выбранных блоках, но и в невыбранных. Они имеют тенденцию к накоплению [6]. В этом их принципиальное отличие от сбоев в других элементах ОЗУ, которые проявляются, когда блок активен (к нему производится обращение). Наиболее критичны к одиночным сбоям в активных блоках ЗУ, кроме ЭП:

- усилители считывания данных из накопителя (рис.1-1);
- входные адресные регистры-формирователи (рис.1-2);
- элементы в дешифраторах строк и столбцов (рис.1-4).

Сбои при воздействии тяжелых частиц могут происходить в каждом из этих элементов, но пороговые значения линейных потерь энергии (ЛПЭ) частицы – LET_0 , сечения насыщения данного вида сбоя – σ_{sati} , а также последствия этого сбоя могут существенно отличаться.

В табл.1 приведены эти параметры сбоеустойчивости в элементах ОЗУ на рис.1, где A – число адресных входов в СФ-блоке, $M=2^A$ – число слов в блоке, N – число разрядов, $I=M \cdot N$ – информационная емкость СФ-блока. Параметры рассчитаны по результатам моделирования и **нормированы на параметры одного ЭП**. Знак (+) в последней строке таблицы означает возможность коррекции сбоя, знак (-) – невозможность коррекции ошибки из-за записи или считывания информации по неправильному адресу.

Таблица 1. Параметры сбоеустойчивости элементов СФ-блоков ЗУ

Параметр	МП	АФ	УС	ДШ
\overline{LET}_0	1	4...5	2...3	4...5
$\overline{\sigma}_{sati}$	l	A	N	M
Коррекция	+	-	+	-

Некритичны к сбоям в активных блоках ЗУ мощные формирователи управления режимами работы СФ-блока, работающие на большую емкостную нагрузку, в частности, на адресные и разрядные шины, шины дешифратора, управления и др.

ПОВЫШЕНИЕ СБОЕУСТОЙЧИВОСТИ СФ-БЛОКОВ ОЗУ

На основе проведенных в данной работе исследований и опыта проектирования СФ-блоков ОЗУ, в частности, для базовой КМОП ОК технологии 180 нм могут быть предложены следующие структурные и схемотехнические методы уменьшения однократных и многократных сбоев.

1. Принцип равноудаленности одноадресных столбцов смежных разрядов накопителя

При реализации данного принципа столбцы с общим адресом смежных разрядов накопителя оказываются на равном расстоянии друг от друга. В этом случае тяжелая частица, для того чтобы вызвать сбой n-й кратности в слове, должна пройти вдоль строки накопителя путь, равный:

$$L_n = n \cdot W_{\text{РАЗР}},$$

где $W_{\text{РАЗР}}$ – ширина одного разряда матрицы памяти.

В случае, когда частица пересекает на своем пути дешифратор строк, который обычно располагается в центре накопителя, то длина пути L_n увеличивается на ширину дешифратора $W_{\text{ДШХ}}$, то есть

$$L_n = n \cdot W_{\text{РАЗР}} + W_{\text{ДШХ}}.$$

На рис.2 показаны для сравнения два варианта расположения одноадресных столбцов для типового случая линейной адресации – без реализации принципа равноудаленности (рис.2а) и с использованием этого принципа (рис.2б).

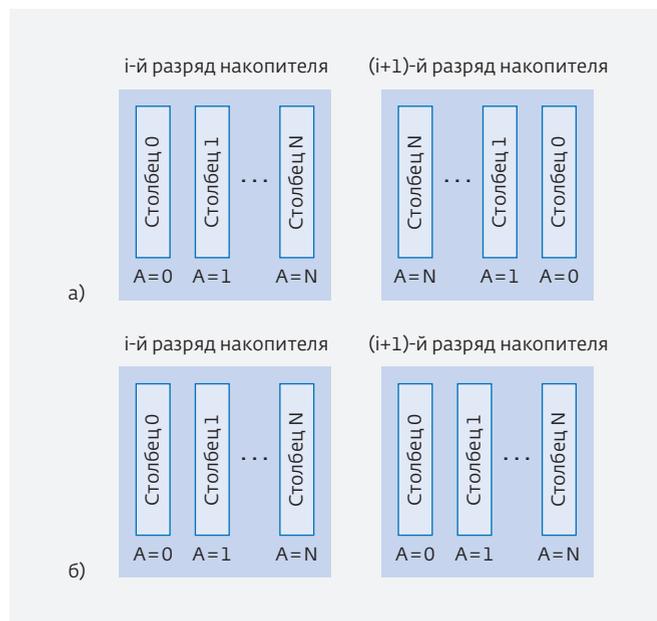


Рис.2. Неэффективное (а) и эффективное (б) расположение одноадресных столбцов накопителя при линейной дешифрации

В первом случае, как видно из рис.2а, столбцы N смежных разрядов оказываются в непосредственной близости друг от друга, что приводит к повышенной вероятности появления двойных ошибок в слове.

2. Метод импульсного обращения к накопителю

Эффективным методом снижения потребляемой мощности, а также повышения сбоеустойчивости ЭП является метод импульсного обращения к накопителю.

Метод основан на минимизации времени обращения к накопителю, когда ЭП выбираются лишь на время, достаточное для надежной записи и считывания информации. Это позволяет минимизировать время протекания тока через транзисторы связи ЭП и, соответственно, уменьшить потребляемую мощность как за счет уменьшения перепада напряжения на разрядных шинах, так и за счет уменьшения длительности протекания сквозных токов. При использовании данного метода уменьшается длительность пребывания ЭП выбранной строки в состоянии с пониженной помехоустойчивостью, что уменьшает вероятность их сбоев.

Особенностью реализации данного метода является необходимость использования выходных регистров – "защелок", в которых сохраняется считанная

информация. Сразу после записи информации в эти регистры накопитель и усилители считывания могут переводиться в пассивное состояние.

Другая важная особенность данного метода состоит в том, что он позволяет использовать жесткую фиксацию потенциалов разрядных шин в невыбранных столбцах, что позволяет практически полностью исключить взаимные помехи между соседними разрядными шинами, а также исключить значительные пиковые токи подзаряда разрядных шин.

3. Повышение сбоеустойчивости дешифраторов

В СФ-блоках используются дешифраторы строк ДШХ для выбора одной строки накопителя и дешифраторы столбцов ДШУ, которые при $N_{РАЗР}$ -разрядной организации блока используются для выбора $N_{РАЗР}$ столбцов с общим адресом [7]. При этом ДШХ, в отличие от ДШУ, является частью критического тракта блока ОЗУ, поскольку нагружен на значительную емкость адресной шины.

В современных СФ-блоках ОЗУ, как правило, используются двухступенчатые схемы дешифрации ДШХ и ДШУ.

Наиболее сложными с точки зрения конструктивно-топологической реализации являются первые ступени обоих дешифраторов, поскольку они располагаются на кристалле вблизи входных адресных формирователей и устройства управления блока, что позволяет повысить плотность компоновки блока ОЗУ и уменьшить длину связей между элементами. Выходы первой ступени ДШХ и ДШУ нагружены на значительную емкость линий промежуточной дешифрации, располагающихся на кристалле вдоль соответствующих сторон накопителя.

Для повышения сбоеустойчивости первой ступени дешифрации используются стандартные способы повышения сбоеустойчивости логических элементов, включающие в себя отказ от слабосильных элементов, увеличение узловых емкостей и др. По сравнению с коммерческими вариантами блоков первая ступень блока дешифрации оказывается более нагруженной (при прочих равных условиях) из-за увеличения размеров первых каскадов второй ступени дешифрации.

Вторая ступень дешифрации строк имеет гораздо более жесткие ограничения на топологические размеры (высота строчного элемента не должна превышать высоту элемента памяти) и выполняется в виде набора строчных элементов, состоящих

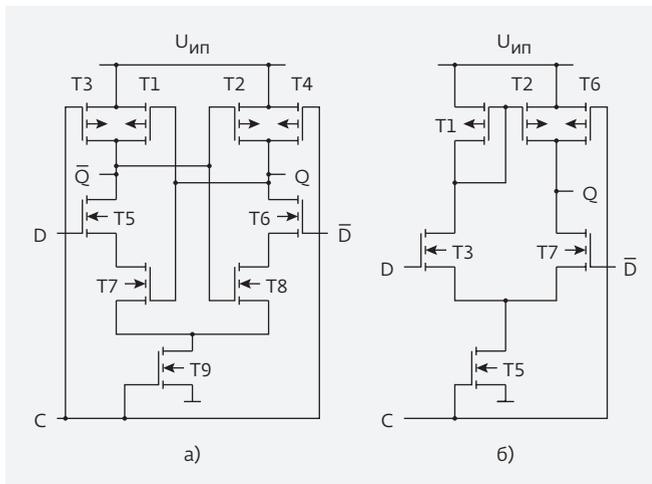


Рис.3. Синхронный (а) и асинхронный УС (б)

из подключенного к вертикальным линиям промежуточной дешифрации 3-4-входового элемента И-НЕ и мощного буфера для управления адресной шиной накопителя.

Наиболее подвержен сбоям во второй ступени дешифрации оказывается первый каскад этой ступени. В коммерческих блоках этот каскад выполняется на транзисторах, размеры которых близки к минимальным, для того, чтобы уменьшить суммарную емкость промежуточных линий дешифрации и повысить быстродействие.

Для повышения сбоеустойчивости второй ступени дешифраторов строк целесообразно выбирать ширину канала транзисторов этого каскада не менее, чем в три-четыре раза большей по сравнению с минимальной в сочетании с достаточно большим коэффициентом нагрузки (не менее 4-5), что приводит к увеличению суммарной емкости промежуточных линий дешифрации и соответственно нагрузки на первую ступень дешифрации.

Поэтому в случае повышенных требований к быстродействию СФ-блока может оказаться целесообразным ограничение числа строк в блоке до 128 для уменьшения потерь по быстродействию, связанных с увеличением нагрузки первой ступени из-за использования второй ступени с повышенной сбоеустойчивостью.

4. Усилители считывания с повышенной сбоеустойчивостью

Усилители считывания (УС) предназначены для преобразования малого сигнала считываемой информации в стандартные цифровые сигналы. УС является единственным аналоговым элементом

ОЗУ и поэтому имеет повышенную чувствительность к воздействию как импульсного ионизирующего излучения, так и ТЧ.

УС делятся на синхронные, требующие тактирования, и асинхронные, работающие в режиме слежения входного сигнала. Асинхронные УС по сравнению с синхронными обладают меньшим быстродействием, более чувствительны к помехам по шинам питания, а также имеют повышенную потребляемую мощность из-за протекания сквозных токов [8]. На рис.3 показаны практические схемы синхронного (рис.3а) и асинхронного (рис.3б) усилителей считывания.

Благодаря использованию положительной обратной связи в синхронных УС они обеспечивают полное преобразование аналогового входного сигнала в цифровой с использованием лишь одного каскада, в то время как при использовании асинхронных УС приходится использовать два каскада усиления, что приводит к дополнительному увеличению потребляемой мощности и повышению чувствительности к помехам.

Синхронные УС после переключения переходят в режим ожидания, в котором они нечувствительны к входному аналоговому сигналу и имеют повышенную сбоеустойчивость.

Кроме этого, синхронные УС лучше подходят для реализации принципа импульсного обращения к накопителю.

ЗАКЛЮЧЕНИЕ

1. СФ-блоки ОЗУ в составе современных нанометровых СБИС СнК являются наиболее уязвимыми к одиночным сбоям под воздействием тяжелых частиц.
2. Наибольшее число сбоев наблюдается в матрицах элементов памяти, как в активных (выбранных) СФ-блоках, так и в неактивных. Они, как правило, имеют наименьшее пороговое значение ЛПЭ частицы – LET_0 , и наибольшее сечение насыщения – σ_{sat} .
3. Сбои в СФ-блоках ОЗУ можно классифицировать на исправимые и неисправимые (на уровне кристалла) алгоритмическими методами с использованием корректирующих кодов.
4. При правильной структурной организации (рис.2б) многократные единичные сбои в матрицах элементов памяти не приводят к сбоям в нескольких разрядах слова и легко исправляются на уровне кристалла. Аналогично

исправляется сбой одного из усилителей считывания.

5. Сбои во входном регистре адреса и элементах дешифраторов, приводящие к неправильной выборке слова или ошибкам в нескольких разрядах слова на уровне кристалла, исправить практически не представляется возможным. Здесь наиболее эффективны сбоеустойчивые структурно-схемотехнические решения.

ЛИТЕРАТУРА

1. Герасимов Ю.М., Глушков А.В., Григорьев Н.Г., Петричкович Я.Я., Солохина Т.В. Особенности проектирования радиационно-стойких библиотек элементов, СФ-блоков и нано-СБИС СнК // Проблемы разработки перспективных микро-и нанoeлектронных систем-2008 // Сб. трудов под общ. ред. А.Л.Стемпковского. – М.: ИППМ РАН, 2008. С. 272–275.
2. Герасимов Ю.М., Григорьев Н.Г., Гусев В.А., Кобыляцкий А.В., Петричкович Я.Я. Радиационно-стойкие КМОП СБИС ОЗУ по технологии объемного кремния // Проблемы разработки перспективных микро- и нанoeлектронных систем-2014 // Сб. трудов под общ. ред. А.Л.Стемпковского. – М.: ИППМ РАН, 2014. Ч. 3. С. 171–176.
3. Герасимов Ю.М., Григорьев Н.Г., Кобыляцкий А.В., Петричкович Я.Я. Радиационно-стойкие элементы памяти для нанометровых КМОП СФ-блоков и СБИС // Электронная техника. сер. 3. "Микроэлектроника". 2015. № 1. С. 10–16.
4. Giot D., Roche P., Gasiot G., Harboe-Sorensen R. Multiple-Bit Upset Analysis in 90 nm SRAMs: Heavy Ions Testing and 3D Simulations // IEEE Trans. Nucl. Sci., 2007. Vol. 54. No. 4. P. 904–911.
5. Radaelli D., Puchner H., Wong S., Daniel S. Investigation of Multi-Bit Upset in 150 nm Technology SRAM Device // IEEE Trans. Nucl. Sci. 2005. Vol. 52. No. 6. P. 2433–2437.
6. Чумаков А.И. Действие космической радиации на интегральные схемы. – М.: Радио и связь, 2004. 320 с.
7. Баринов В.В., Березин А.С., Вернер В.Д., Герасимов Ю.М. и др. Сверхбольшие интегральные микросхемы оперативных запоминающих устройств / Под ред. В.Д.Вернера. – М.: Радио и связь, 1991. 272 с.
8. Naseer R.A. Framework For Soft Error Tolerant SRAM Design. PhD dissertation. University of Southern California, Los Angeles, 2008.

СОВРЕМЕННЫЕ КМОП-КЛЮЧИ ДЛЯ СВЧ-ДИАПАЗОНА

► В. В. Репин, М. Г. Дроздецкий, И. И. Мухин

В данной статье рассмотрены современные типы аналоговых КМОП-ключей СВЧ-диапазона для использования в радиосвязи и радиолокации. Исследованы применяемые методы снижения потерь на проход, изоляции и увеличения максимальной подаваемой мощности для различных типов ключей.

MODERN CMOS MICROWAVE SWITCHES

V.V.Repin, M.G.Drozdetzky, I.I.Mukhin

This article deals with modern types of analog CMOS microwave switches for use in radio communications and radar. We studied the methods used to reduce losses in the pass, isolation and increasing the maximum power supplied to the different types of switches.

ВВЕДЕНИЕ

Переключатель передачи/приема (T/R ключ) является одним из важнейших блоков в радарах и системах коммуникации. Для создания широкополосных систем на кристалле (СнК) требуется, чтобы переключатель был полностью интегрирован на чип с другими схемами и функционировал в широком диапазоне частот. Подавляющее большинство современных высокопроизводительных СВЧ интегральных схем выполняются по GaAs технологии. В первую очередь, это касается схем с диапазоном частот в несколько гигагерц и высокой предельной мощностью сигнала. В последнее время кремниевые КМОП и Би КМОП-технологии стали наиболее предпочтительными для ВЧ-схем благодаря своей низкой стоимости и высокой степени интеграции [1]. Однако до настоящего времени широкое внедрение КМОП и Би КМОП-технологий в СВЧ-радиолокационные и в передающую часть связных трактов было затруднено вследствие худших параметров элементов схем по сравнению с исполнением по другим технологиям. Ключи на основе МЕМs-технологий или выполненные на материалах AlN обладают большей изоляцией и линейностью, но в то же время имеют и ряд существенных недостатков, таких как высокая стоимость, низкая скорость переключения для МЕМs, отрицательные управляющие напряжения для GaAs-ключей, значительная потребляемая мощность для p-i-n диодов и др.

Актуальной задачей на сегодняшний день является расширение частотного и динамического диапазонов переключателей выполняемых по Si- и SiGe-технологиям.

Основными проблемами, с которыми сталкиваются разработчики СВЧ-интегральных схем ключей, являются высокие потери на проход в замкнутом состоянии ключа и одновременно низкие значения изоляции в разомкнутом, а также низкая максимальная мощность КМОП-ключей. Возрастание вносимых потерь на проход связано, в первую очередь, с паразитными емкостями транзистора и потерями через подложку ввиду ее низкого сопротивления (от 0,01 до 10 Ом·см в случае обычного КМОП). Снижение изоляции на высоких частотах обусловлено кроме эффектов, связанных с подложкой, наличием в закрытом МОП-транзисторе паразитной емкости между истоком и стоком. Разработка КМОП-ключей для мощных устройств усложняется характеристиками этой технологии, а именно относительно низкой подвижностью носителей заряда, низкими пробивными напряжениями, наличием существенных паразитных емкостей на подложку и паразитным сопротивлением подложки [2].

ОСНОВНЫЕ ВИДЫ КМОП-КЛЮЧЕЙ

Для создания КМОП-ключей чаще всего используют МОП-транзисторы с индуцированным n-каналом (nМОП). Наиболее распространенной схемой nМОП-ключей, помимо использования одиночного транзистора, является Г-образная топология (см. рис.1а). Иногда такая структура ключа называется "один в один" или SPST (англ. Single Pole Single Throw). При таком включении используются два транзистора: последовательно включенный, определяющий характеристики ключа в замкнутом состоянии, и параллельно включенный (шунтирующий),

улучшающий характеристики разомкнутого ключа. Низкие вносимые потери и высокая изоляция могут быть достигнуты тщательным подбором площадей транзисторов, так как сопротивление открытого транзистора убывает пропорционально отношению L/W , где L – длина, W – ширина канала транзистора. Однако большая площадь транзисторов означает высокую паразитную емкость, что ухудшает согласование, увеличивает потери на высокой частоте и сужает полосу пропускания. В реальных субмикронных КМОП-схемах импеданс паразитных емкостей намного ниже, чем сопротивление открытого канала, особенно на сверхвысоких частотах [2].

В СНК, предназначенных для радиосвязи и радиолокации, требуется переключение между различными каналами, например необходимо переключать антенну между каналом приема и каналом передачи. Для этих нужд используются SPDT (англ. Single Pole Double Throw) ключи (см. рис.1б). Такой ключ имеет общий для двух каналов вход и два выхода. Для таких ключей особенно важна изоляция паразитного сигнала на закрытом канале ключа.

МЕТОДЫ УЛУЧШЕНИЯ ПАРАМЕТРОВ МОП-КЛЮЧЕЙ

Снижение вносимых потерь

Один из возможных методов снижения вносимых потерь – увеличение ширины канала проходного транзистора, но, как уже отмечалось, это приводит к увеличению паразитных емкостей и проблемам

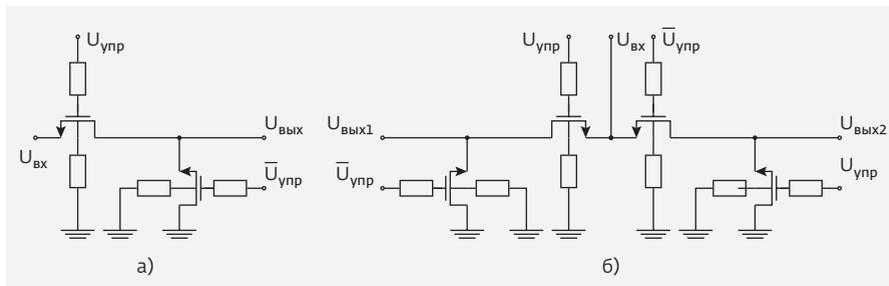


Рис.1. Схемы Г-образного SPST-ключа (а) и Г-образного SPDT-ключа (б)

с согласованием. При этом существенно ограничивается рабочий частотный диапазон. Наиболее эффективным методом снижения значений емкостей на подложку является использование изолированного кармана р-типа для рабочей МОП-структуры (см. рис.2).

В данной структуре п-карман изолирует р-область, в которой сформирован транзистор, от остальной подложки, что позволяет снизить потери через подложку, а также прикладывать к изолированной р-области транзистора произвольное смещение, не зависящее от соседних транзисторов ($U_{смещения}$ на рис.2). Подключение изолированного п-кармана к напряжению питания обеспечивает обратное смещение р-п-перехода карман-подложка.

Для преодоления ограничений полосы пропускания в КМОП-ключаях можно использовать искусственную линию передачи [2]. Для создания искусственной линии передачи нужно построить каскад из нескольких одинаковых последовательно включенных индуктивностей и параллельно включенных конденсаторов. Индуктивности и емкости должны быть подобраны таким образом, чтобы реализовывать необходимые

характеристические сопротивление и электрическую длину линии. Частота среза f_c идеальной линии передачи без потерь в зависимости от индуктивности L и емкости C могут быть вычислены по известному выражению:

$$f_c = \frac{1}{\pi\sqrt{LC}} = \frac{1}{\pi Z_0 C}, \quad (1)$$

где Z_0 – характеристическое сопротивление.

Частота среза при заданном характеристическом сопротивлении, как видно из (1), определяется емкостью шунтирующего транзистора.

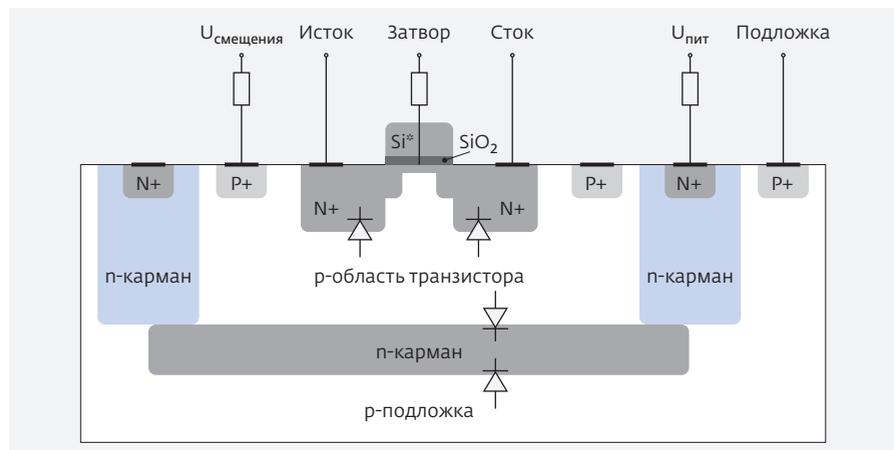


Рис.2. Структура транзистора с изолированным карманом

В работе [1] был изготовлен МОП-ключ по технологическим нормам 0,18 мкм. Индуктивности, размещаемые на кристалле в кремниевой технологии, вносят значительные потери из-за ограниченной добротности Q . Кроме того, использование индуктивностей значительно увеличивает площадь кристалла. Для увеличения добротности в данной работе были использованы поликремневые спиральные индуктивности с применением технологии PGS [3], что позволяет снизить потери, связанные с подложкой. PGS (англ. Patterned Ground Shield) – это электрический экран между индуктивностью и подложкой, выполненный в виде полосок нижнего металла.

Для данного ключа получены следующие характеристики для диапазона частот 10–18 ГГц: вносимые потери от $-0,7$ до $-1,0$ дБ, изоляция -25 дБ, P_{1-dB} 19,8–22,6 дБм.

Методы повышения изоляции

Основным и наиболее распространенным методом повышения изоляции является применение шунтирующего транзистора. Однако емкость закрытого шунтирующего транзистора увеличивает потери на проход. Все это приводит к проблеме оптимизации площадей проходного и шунтирующего транзисторов [5, 15].

Другим методом повышения изоляции, а также уменьшения потерь на проход, является использование глубокого изолированного n -кармана для борьбы с паразитными емкостями исток-подложка и сток-подложка. Изолированный карман отделяет общую подложку r -типа от области r -типа МОП-транзисторов; r - n -переходы исток, сток и область r -типа МОП-транзисторов формируют пару паразитных диодов. Применение глубокого изолированного кармана n -типа позволяет прикладывать произвольное напряжение к подложке транзисторов, что предотвращает открывание паразитных диодов исток-подложка и сток-подложка [2].

Использование изолированного n -кармана позволяет применить метод плавающей подложки для повышения изоляции. Одной из важнейших причин применения метода плавающей подложки является эффект защелки. При использовании изолированного n -кармана к области r -типа МОП-транзисторов можно напрямую подключать резистор большого номинала без возникновения защелки в интегральных схемах с r МОП и n МОП на одном кристалле. Смещение, подаваемое на глубокий n -карман также снижает инжекцию носителей из r -кармана тела транзистора в n -карман и в r -подложку. Кроме того, это предотвращает снижение линейности, связанное

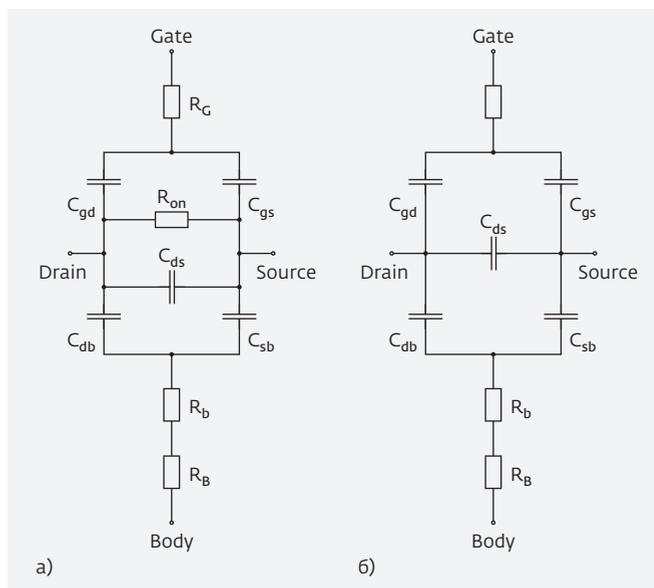


Рис.3. Эквивалентные схемы транзистора с плавающей подложкой в открытом (а) и закрытом (б) состояниях

с открыванием p - n -переходов: p -карман – p -карман и n -карман – p -подложка [2].

Если затвор МОП-транзистора и его подложка подключены через резистор большого номинала (5–10 кОм), то в эквивалентной схеме транзистора (см. рис.3) их можно считать плавающими точками. Тогда общая эквивалентная емкость C_T равна:

$$C_T = C_{ds} + \frac{C_{gs}C_{gd}}{C_{gs} + C_{gd}} + \frac{C_{sb}C_{db}}{C_{sb} + C_{db}}. \quad (3)$$

Эта паразитная емкость приводит к тому, что входной сигнал частично проходит через закрытый ключ. Изоляцию можно повысить, используя индуктивность L_{sd} , включенную между стоком и истоком транзистора [6]. L_{sd} и C_T формируют колебательный LC-контур. Величину этой индуктивности выбирают из следующего условия:

$$L_{sd} = \frac{1}{\omega^2 C_T}, \quad (4)$$

где ω – рабочая частота или середина рабочего диапазона.

Схема с таким параллельным колебательным контуром, предложенная в [6], представлена на рис.4.

В данной работе был изготовлен ключ по технологическим нормам 0,18 мкм. Метод параллельной компенсации позволил разработчикам получить на заданной частоте 24 ГГц изоляцию порядка $-32,8$ дБ в режиме передатчика и $-25,5$ дБ в режиме приемника,

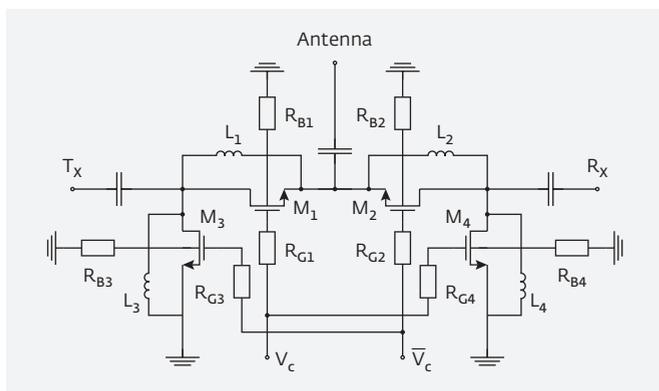


Рис.4. Схема SPDT-ключа с параллельным колебательным контуром

P_{1dB} составила 21,5 дБм. Однако вносимые потери на этой же частоте составили -6 дБ.

К недостаткам такого подхода можно отнести узкий диапазон частот, в котором изоляция будет высокой в силу резонансного характера применяемой методики.

Методы обеспечения согласования

Одной из важных проблем является соединение отдельных функциональных блоков схемы в единый тракт. Для нормального функционирования схемы необходимо обеспечить согласование отдельных блоков с некоторым характеристическим сопротивлением. Импеданс транзистора имеет резистивно-емкостный характер, поэтому основными методами согласования являются подбор оптимальной площади транзистора и введение в схему индуктивных элементов. При разработке ключей с малыми вносимыми потерями часто используют большие транзисторы, что приводит к высокой емкости транзистора и, следовательно, наличию рассогласования. Номинал индуктивности для компенсации емкостной активной составляющей подбирается таким образом, чтобы формировалась искусственная передаточная линия с заданным характеристическим сопротивлением. Недостатком этого метода является большая площадь, занимаемая индуктивностями на кристалле.

Еще одним методом улучшения согласования и увеличения ширины динамического диапазона является использование преобразования импеданса [4]. При разработке ключей для низких частот использовались внешние компоненты из-за их высокой добротности Q . Для высоких частот индуктивности, изготовленные на кристалле, имеют достаточно высокую добротность, поэтому схемы преобразования импеданса можно размещать на кристалле.

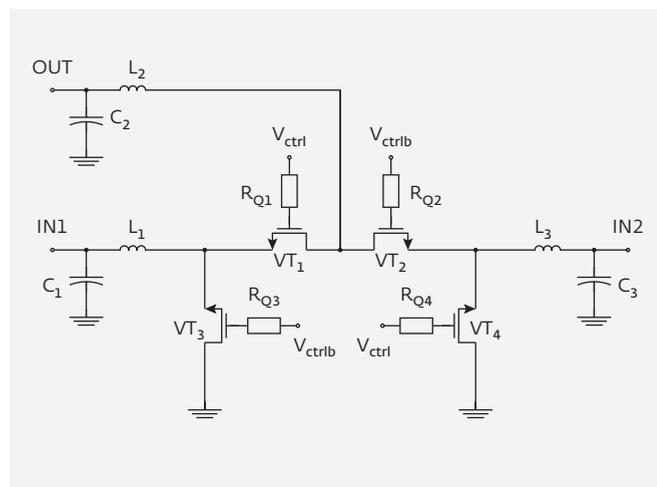


Рис.5. Принципиальная схема SPDT-ключа с преобразованием импеданса

Принципиальная схема такого ключа представлена на рис.5.

Потери на проход для этого ключа, выполненного по технологическим нормам 0,13 мкм, составили 1,8 дБ на 15 ГГц, изоляция 17,8 дБ, P_{1dB} -21,5 дБм [4].

Методы повышения максимальной мощности

Помимо уже упомянутых выше проблем, препятствующих разработке мощных КМОП-ключей, наличие р-п-переходов между легированными областями и подложкой ограничивает величину отрицательной полуволны входного сигнала. Последняя проблема решается посредством использования метода плавающей подложки - резистивным [7] или с помощью резонансного LC-контра [8]. Также для увеличения максимальной мощности используют постоянное отрицательное [2] и переключаемое [9] питание подложки, применяются дифференциальные ключи [10].

Для создания КМОП-ключей с максимальной мощностью порядка 1 Вт можно использовать структуру с каскадированием проходных транзисторов (рис.6а).

В такой структуре входное напряжение на закрытом входе ключа распределяется между р-п-переходом исток-карман и его барьерной емкостью, а также паразитными емкостями затвор-карман и сток-исток. Таким образом, удается предотвратить нежелательное открывание транзистора в закрытом канале ключа. Необходимо отметить, что все транзисторы размещаются в собственных изолированных п-карманах.

В этой схеме (рис.6а) каждый вывод подложки имеет свое смещение, согласно принципу деления

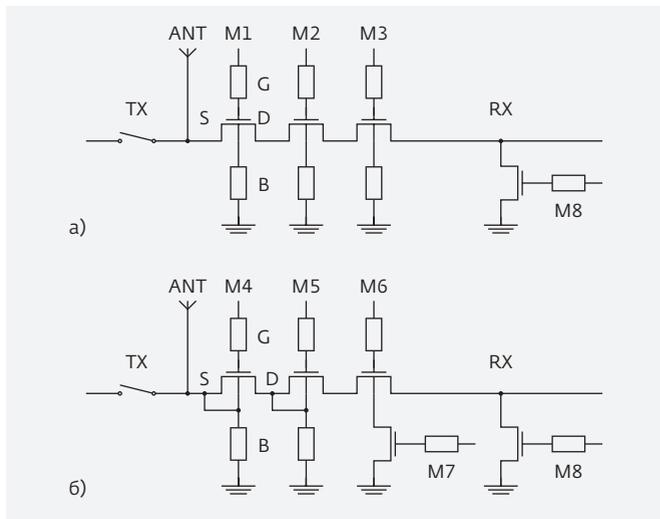


Рис.6. Принципиальные схемы ключа с каскадированием проходных транзисторов обычная (а) и с предложенными в [2] улучшениями (б)

напряжения. Схема с каскадированием проходных транзисторов является наиболее распространенной при переключении мощных СВЧ-сигналов. Среди ее преимуществ широкая полоса пропускания, малые размеры, простая обработка сигналов. Каскадирование снижает падение напряжения на каждом транзисторе при закрытом ключе. Максимальная подаваемая мощность определяется количеством каскадируемых транзисторов. В этом случае ключевую роль играют пробивные напряжения $U_{зс}$ и $U_{зи}$. Однако увеличение каскадируемых транзисторов приводит к возрастанию потерь на проход из-за возрастания суммарного сопротивления канала.

В некоторых работах было показано, что несколько последовательных транзисторов дают лишь ограниченный прирост в максимальной подаваемой мощности [11]. Временной пробой диэлектрика (англ. TDDDB, Time Dependent Dielectric Breakdown), то есть снижение надежности диэлектрика при продолжительном воздействии электрического поля, утечки в подложку по переменному току и открывание паразитных диодов не позволяют для КМОП-ключей получать максимальные параметры превосходящие те, что могут быть получены на аналогичных структурах GaAs.

Одним из главных ограничений максимальной мощности в структуре с каскадированием проходных транзисторов является нежелательное открывание канала в закрытом состоянии ключа при большом приложенном сигнале. Если к тому же управляющий сигнал со снижением технологических норм

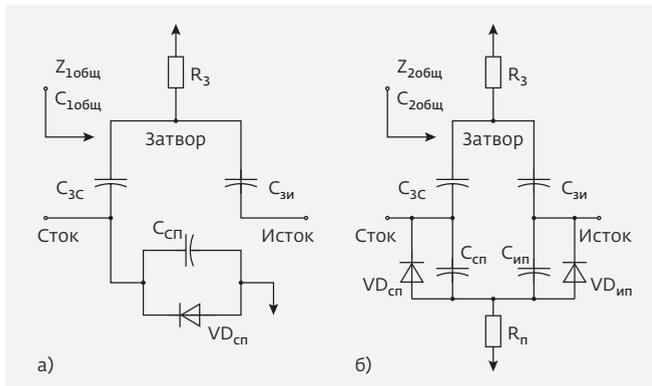


Рис.7. Эквивалентные схемы транзистора с переключаемой подложкой при открытом (а) и закрытом (б) транзисторе подложки

уменьшается до 3,3 или 1,8 В, проблема становится критичной. В работе [2] предложен метод предотвращения открывания канала без каких-либо внешних устройств.

В предложенной авторами схеме (рис.6б) подложки транзисторов M4 и M5 соединены с истоком, а подложка транзистора M6 коммутируется на землю через M7 [12]. Соединение истока с подложкой, согласно замыслу авторов, должно уменьшить падение напряжения исток-подложка для уменьшения вероятности пробоя МОП-структуры. M8 – шунтирующий транзистор для повышения изоляции.

Техника переключения подложки модифицирует метод плавающей подложки включением транзистора параллельно резистору подложки. В данном случае эта техника применена к одному из транзисторов в структуре с каскадированием, однако может быть применена и к обыкновенным маломощным схемам. Транзистор с переключаемой подложкой должен находиться как можно ближе к схемам приемника, чтобы снизить эффект искажения напряжения на выводе антенны. Эквивалентные схемы транзистора с переключаемой подложкой представлены на рис.7, 8 [12].

Импеданс транзистора в обоих случаях определяется как:

$$C_{1Total} = \frac{C_{gd}C_{gs}}{C_{gd} + C_{gs}} + C_{db}$$

$$C_{2Total} = \frac{C_{gd}C_{gs}}{C_{gd} + C_{gs}} + \frac{C_{gd}C_{bs}}{C_{db} + C_{bs}}$$

$$\frac{1}{j\omega C_{1Total}} \approx Z_{1Total} < Z_{2Total} \approx \frac{1}{j\omega C_{2Total}}, \quad (7)$$

где C_{1Total} и Z_{1Total} – суммарная эквивалентная емкость и импеданс транзистора при заземленной подложке,

C_{2Total} и Z_{2Total} – суммарная эквивалентная емкость и импеданс транзистора в режиме плавающей подложки. Так как импеданс разомкнутого ключа определяется общей емкостью входящих в ключ транзисторов, в случае малого сигнала Z_{1Total} меньше, чем Z_{2Total} (7). В случае большого сигнала из-за возрастания величины отрицательной полуволны сигнала с антенны разность напряжений между затвором и истоком становится больше порогового напряжения транзистора. Таким образом, закрытые транзисторы образуют паразитные каналы и нежелательные токи утечки в тракте приемника при наличии большого отрицательного смещения. Однако, если транзистор, переключающий подложку (M8 на рис.6а, б и M4 на рис.8а), открыт, то образование канала в последнем транзисторе в структуре с каскадированием предотвращается функционированием р-п-перехода сток-подложка. При подаче отрицательного смещения на ключ канала приемника при открытом транзисторе, переключающем подложку, открывается один из р-п-переходов рядом с выводом антенны, и, таким образом, падение напряжения на р-п-переходе сток-подложка предотвращает образование канала. Открытый р-п-переход задает напряжение, равное нулю, на истоке транзистора M4, так что подложка проходного транзистора заземлена и канал не формируется. Благодаря отсутствию канала при отрицательном напряжении на выводе антенны в одном из транзисторов в структуре с каскадированием, может быть существенно уменьшен общий ток утечки в тракте приемника.

Применив все вышеперечисленные методики, разработчикам удалось получить следующие характеристики на частоте 1,9 ГГц: вносимые потери -1,9 дБ, изоляция -30 дБ и P_{1dB} 33,5 дБм. Столь высокие потери при такой относительно невысокой частоте обусловлены каскадированием проходных транзисторов, но позволяют получить высокую линейность.

При разработке переключателей приема/передачи необходимо учитывать, что в силу особенностей механизма передачи сигнала через антенну важно обеспечить достаточную максимальную мощность и изоляцию ключа в режиме передачи. Вместе с тем максимальная мощность в режиме приема может быть относительно низкой. Это приводит к тому, что каналы ключа могут быть несимметричными [1, 14].

В работе [14] предложен несимметричный ключ, в котором в канале передачи (T_x) три проходных транзистора и четыре шунтирующих, в канале приема (R_x) – четыре проходных и один шунтирующий. Это обусловлено тем, что в закрытом состоянии канал R_x

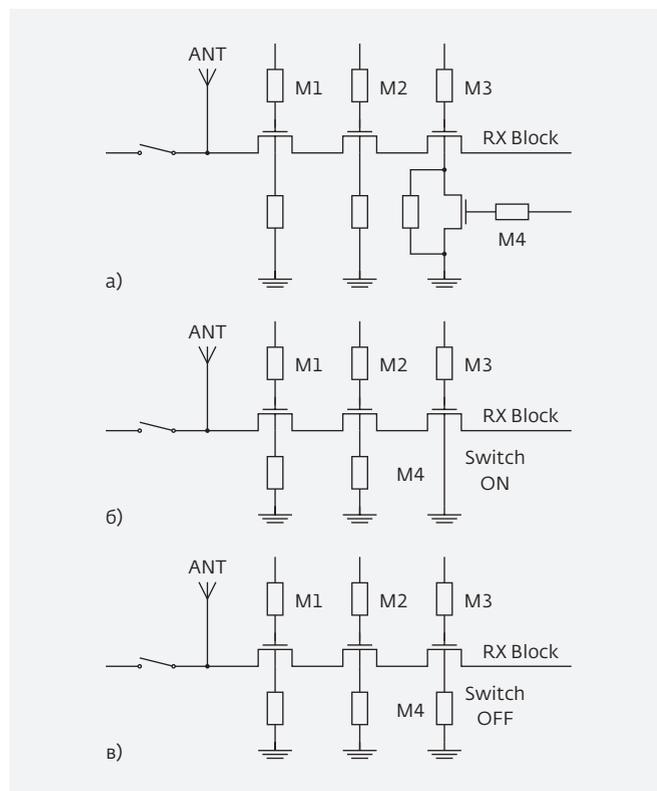


Рис.8. Эквивалентные схемы ключа с переключением подложки (а) при открытом (б) и закрытом (в) транзисторе подложки

должен обеспечить высокую изоляцию мощного сигнала (десятки дБм), а в открытом состоянии важно минимизировать потери на проход маломощного сигнала. Кроме того, в каскадах проходных R_x и шунтирующих T_x транзисторов применена методика "связь вперед" (англ. Feed Forward, FF). Это сделано для снижения напряжения между затвором и истоком первого транзистора за счет прямой передачи сигнала и предотвращения возникновения паразитного канала.

Ключ, изображенный на рис.9, был изготовлен по технологическим нормам 0,18 мкм с транзисторами в изолированных карманах. На частоте 1,8 ГГц потери на проход составили -0,75 дБ для T_x канал и -1,1 дБ для R_x , изоляция -20 дБ (T_x) и -35 дБ (R_x) и $P_{0,1dB}$ 33 дБм. Стоит отметить, что такие результаты достигнуты при подаче на подложку транзистора $U_{смещения} = -1,5$ В и изменении управляющего сигнала от -1,5 до 1,8 В.

Несимметричность каналов ключа с каскадированием проходных транзисторов позволяет получить высокую максимальную входную мощность только на низких частотах. С повышением частоты потери

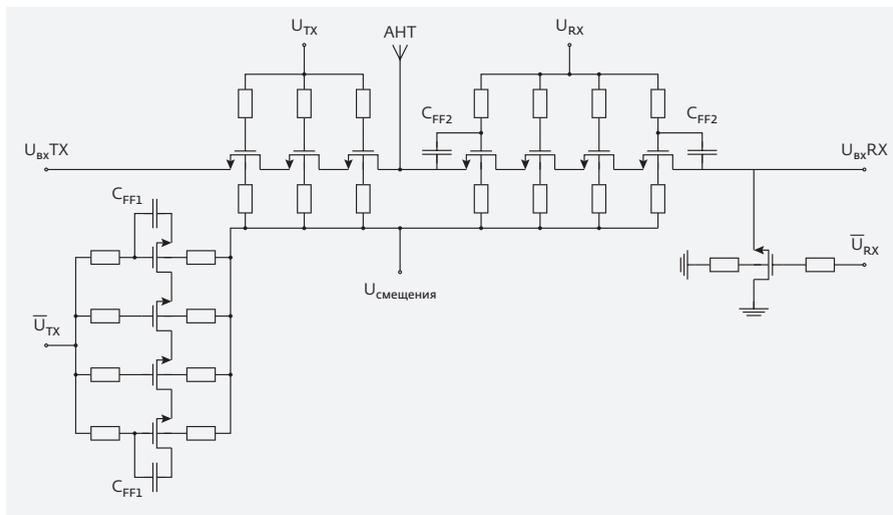


Рис.9. Схема несимметричного ключа с емкостной связью вперед

на проход быстро возрастают, что делает такой подход неприемлемым.

Связь нелинейности в МОП-ключках с частотой сигнала

В литературе рассматриваются три причины ухудшения линейности МОП-ключей: автосмещение переходов исток-подложка и сток-подложка, отпирание МОПТ, пробой МОПТ [15]. Автосмещение связано с отпиранием обратно смещенных р-п-переходов исток-подложка и сток-подложка под действием отрицательной полуволны входного сигнала. Отпирание МОПТ происходит при напряжении между затвором и истоком больше порогового. Пробой МОПТ может быть двух типов: пробой подзатворного диэлектрика при напряжении исток-затвор больше пробивного и пробой р-п-перехода исток-подложка (сток-подложка).

Однако практически нет работ, в которых эти факторы рассматриваются совместно. Кроме того, насколько известно авторам, обычно не рассматривается механизм пробоя, связанный со сдвигом фазы входного сигнала на затвор проходного транзистора. Рассмотрим этот механизм подробнее.

Часть входного сигнала, подаваемого на исток, попадает на затвор транзистора через емкость $C_{зи}$. Ввиду того что входное напряжение на затвор попадает через паразитную емкость, его фаза не обязательно совпадает с фазой входного напряжения на истоке. Таким образом, напряжение $U_{зи}$ не постоянно, а периодически меняется с течением времени, причем пики колебаний напряжения могут достигать значений порогового или в отдельных случаях

даже пробивного. Все это может привести к тому, что открывание МОПТ или пробой диэлектрика могут наступать при меньшей входной мощности, чем это предполагалось. На низких частотах паразитные емкости транзистора имеют высокий импеданс, что приводит к тому, что линейность ключа ограничивается включением паразитных диодов. Однако с повышением частоты импеданс емкостей падает, и часть входного сигнала попадает на выход через емкости. На частотах ~10 ГГц импеданс паразитных емкостей составляет несколько Ом, в то время как сопротивление канала – десятки Ом. В итоге, искажение выходного сигнала определяется суперпозицией этих двух факторов.

ЗАКЛЮЧЕНИЕ

В данной работе были рассмотрены различные методы снижения потерь на проход, повышения изоляции и максимальной мощности для КМОП-ключей в СВЧ-диапазоне. Показано, что существует возможность получить вносимые потери порядка 1 дБ на частотах до 18 ГГц, однако такой ключ будет занимать существенную площадь из-за использования индуктивностей. Изоляция в 25 дБ на частоте 24 ГГц достижима ценой большой площади, высокими потерями на проход и узкой полосой. Разработка мощных переключателей на высоких частотах также затруднительна – рассмотренная схема с $P_{1дБ}$ в 33,5 дБм имеет потери порядка 2 дБ уже на частоте 1,9 ГГц.

Рассмотрен механизм возникновения нелинейности, связанный со сдвигом фазы сигнала на затвор проходного транзистора относительно входа.

В табл.1 приведено сравнение характеристик различных рассмотренных в данной статье ключей.

Таким образом, разработка КМОП-ключей в СВЧ-диапазоне с заданными характеристиками требует тщательной оптимизации параметров ключа и правильного выбора используемых методик в соответствии с требованиями к переключателю. Помимо этого, очевидно, что недостаточно проведения только схемотехнического моделирования, желательно проведение электромагнитного анализа топологии разработанного ключа для получения более достоверных характеристик на высоких частотах.

Таблица. Сравнение характеристик различных рассмотренных ключей

Источ-ник	Технологиче-ские нормы	Частотный диапазон, ГГц	Потери на проход, -дБ	Изоляция, -дБ	P_{1-dB} , дБм
[2]	0,18 мкм КМОП	0–20	0,5–2,5	25–32	19,8–26,2
[4]	0,18 мкм КМОП	7–15	~1,8	17–22	21,5
[6]	0,18 мкм КМОП	18–24	5–6	20–32,4	21,5
[12]	0,18 мкм КМОП	0,5–2,0	1,5–1,9	20–30 (T_x), 30–40 (R_x)	31,5
[1]	0,18 мкм КМОП	0–1,9	0,5–1,9	20–30	33,5
[14]	0,18 мкм КМОП	0–1,9	0,5–0,8 (T_x), 0,7–1,2 (R_x)	20–30 (T_x), 35–40 (R_x)	33,0

ЛИТЕРАТУРА

1. **Jin Y., Nguyen C.** Ultra-Compact High-Linearity High-Power Fully Integrated DC–20-GHz 0.18- μ m CMOS T/R Switch // IEEE Transactions On Microwave Theory And Techniques. Jan. 2007. Vol. 55. No. 1. P. 30–36.
2. **Ahn M., Lee C.-H., Kim B.-S., Laskar J.** A High-Power CMOS Switch Using A Novel Adaptive Voltage Swing Distribution Method in Multistack FETs // IEEE Transactions On Microwave Theory And Techniques. April 2008. Vol. 56. No. 4. P. 849–858.
3. **Yue C.P. and Wong S.S.** On-chip spiral inductors with patterned ground shields for Si-based RF IC's // IEEE J.Solid-State Circuits. May 1998. Vol. 33. No. 5. P. 743–752.
4. **Li Z., O K.K.** A 15-GHz Integrated CMOS Switch with 21.5-dBm IP1dB and 1.8-dB Insertion Loss // Symposium on VLSI Circuits Digest of Technical Papers. June 2004. P. 366–367.
5. Методика оптимизации параметров SPDT-ключей для монолитных фазовращателей и аттенюаторов СВЧ диапазона / Елесин В.В., Назарова Г.Н. // В сб. научн. тр.: Электроника, микро- и наноэлектроника. – М.: МИФИ, 2008. С. 114–120.
6. **Ou C.-Y., Lin H.-R., Chuang H.-R., Huang T.-H.** A High-Isolation High-Linearity 24-GHz CMOS T/R Switch in The 0.18- μ m CMOS Process // Microwave Integrated Circuits Conference, IEEE. Sept. 2009. P. 250–253.
7. **Yeh M.-C., Tsai Z.-M., Liu R.-C., Lin K.Y., Chang Y.-T. and Wang H.** Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance // IEEE Trans. Microw. Theory Tech. Jan. 2006. Vol. 54. No. 1. P. 31–39.
8. **Talwalkar N.A., Yue C.P., Gan H. and Wong S.S.** Integrated CMOS transmit–receive switch using LC-tuned substrate bias for 2.4-GHz and 5.2-GHz applications // IEEE J.Solid-State Circuits. Jun. 2004. Vol. 39. No. 6. P. 863–870.
9. **Zhang T., Subramanian V., Boeck G.,** Comparison of Regular and Floating Bulk Transistors in Ultra-Wideband CMOS T/R Switches // MIKON 2012, IEEE. May 2012. P. 293–296.
10. **Li Q. and Zhang Y.P.** CMOS T/R switch design: Towards ultra-wideband and higher frequency // IEEE J.Solid-State Circuits. Mar. 2007. Vol. 42. No. 3. P. 563–570.
11. **Huang F.-J.** Single-pole double-throw CMOS switches for 900-MHz and 2.4-GHz applications on p/sup – / silicon substrates // IEEE J.Solid – State Circuits. Jan. 2004. Vol. 39. No. 1. P. 35–41.
12. **Ahn M., Kim B.-S., Lee C.-H., Laskar J.** A High Power CMOS Switch Using Substrate Body Switching in Multistack Structure // IEEE Microwave And Wireless Components Letters. Sept. 2007. Vol. 17. No. 9. P. 682–684.
13. **Ahn M., Lee C.-H., Kim B.-S. and Laskar J.** A Novel Multi-Stack Device Structure and its Analysis for High Power CMOS Switch Design // IEEE MTT-S Int. Microw. Symp. Dig., Honolulu, HI. 2007. P. 1393–1396.
14. **Ahn M., Kim H.-W., Lee C.-H., Laskar J.** A 1.8-GHz 33-dBm P 0.1-dB CMOS T/R Switch Using Stacked FETs With Feed-Forward Capacitors in a Floated Well Structure // IEEE Trans. On Microw. Theory Tech. Nov. 2009. Vol. 57. No 11.
15. **Усачев Н.А.** Элементы и функциональные блоки кремний-германиевых БикМОП сверхвысоко-частотных приемо-передающих интегральных микросхем // Дисс. к.т.н. по спец. 05.13.05. – М., 2015. 174 с.

РАЗРАБОТКА ОТЕЧЕСТВЕННОГО КОММУТАТОРА ДЛЯ ПРОГРАММНО-КОНФИГУРИРУЕМЫХ СЕТЕЙ (ПКС)

► Р.Л.Смелянский, В.В.Васин, С.О.Беззубцев

Представлены принципы организации ПКС и те преимущества, которые они несут, анализ требований в корпоративной сети к средствам коммутации потоков данных. Приведен анализ возможностей отечественной электронной промышленности для создания средств построения ПКС корпоративного уровня, в том числе производства отечественного коммутатора для программно-конфигурируемых сетей. Представлены результаты работ по выработке архитектуры OpenFlow коммутатора корпоративного уровня: определены функциональные требования и технические характеристики, структура, функциональные блоки и схема работы устройства.

DEVELOPMENT OF THE FIRST RUSSIAN SDN-SWITCH

R. Smeliansky, V. Vasin, S. Bezzubtsev

This paper presents the fundamentals of SDN-approach and its advantages, requirements to flow switching in corporate networks. The capabilities of Russian electronics industry are analysed to deploy the SDN-switch of the different level.

The design and the architecture of the OpenFlow switch of the enterprise level are represented with functional and operational requirements, structure, operational blocks and workflow of the switch.

ВВЕДЕНИЕ

Целью данной статьи является описание архитектуры и результатов разработки в Центре прикладных исследований компьютерных сетей отечественного OpenFlow-коммутатора для сетей нового поколения – Программно-конфигурируемых сетей (далее – ПКС).

ОТЕЧЕСТВЕННАЯ МИКРОЭЛЕКТРОНИКА

Современная российская электронная промышленность успешно справляется с разработкой и производством микроэлектроники специального назначения. Специфика производимой продукции в большинстве случаев состоит в жестких требованиях по обеспечению устойчивости к вибрации и радиации, что накладывает множество ограничений, как на схемотехнические, так и на конструктивные и технологические решения. В частности, радиационное воздействие приводит к росту ложных срабатываний триггеров, проявлению тиристорных эффектов в КМОП-структурах СБИС [1]. Вероятности указанных

сбоев обратно пропорциональны используемым в производстве технологическим нормам [1]. В настоящее время СБИС космического и военного применения проектируются и производятся по технологическим нормам 0,25–0,13 мкм [2] с преобладанием 0,25, 0,18 мкм. В то же время нельзя не упомянуть про проводимые НИР, нацеленные на снижение технологических требований за счет усиления защитных контуров ячеек [3, 4], выполненных по более тонким нормам, исследования свойств материалов корпусов с целью снижения пиковых потоков излучения, модификации процесса для изменения свойств отдельных компонентов КМОП-структур [5]. Однако за счет высокой латентности внедрения технологических новшеств, обусловленной большой длительностью и стоимостью технологических циклов пробирования и внедрения, все обозначенные работы дадут результат и дойдут до конвейера многие годы спустя (3–5 поколений отставания по Муру [6]). Кроме того, этот рынок сравнительно не большой, и, следовательно, экономическая эффективность производства

таких компонентов, как и рентабельность инвестиций в ориентированные на нее научные и экспериментальные исследования, не высока.

ОТЕЧЕСТВЕННАЯ ТЕЛЕКОММУНИКАЦИОННАЯ ИНДУСТРИЯ

Современные технологии (28/22/14 нм) нужны для производства сложных микросхем, таких как центральные процессоры, сетевые процессоры, интегральные схемы специального назначения (ASIC). Создание таких высокотехнологичных производств, разработка и производство современных процессоров в настоящее время в России вследствие ограниченности емкости рынка потребления не рентабельно, очень сложно и очень дорого.

На современном международном рынке высокотехнологичных процессоров доминируют крупные компании, такие как Intel, AMD, Broadcom, поделившие между собой рынок потребителей.

Сказанное объясняет, почему в России очень много техники, построенной на импортных компонентах. Еще тяжелее ситуация с сетевым оборудованием, таким как коммутаторы и маршрутизаторы. Даже те редкие примеры производства отечественных коммутаторов, которые можно найти на рынке, зачастую оказываются по факту, собранными на основе все тех же микросхем компаний Broadcom или Marvell, разве что работающих под управлением написанного в России программного обеспечения. При этом производство не только микросхем, но и печатных плат для этих коммутаторов, как правило, происходит за пределами страны.

В контексте обсуждаемого вопроса следует обратить внимание на проблему "закладок", которые могут находиться в импортных сетевых устройствах, платах, микросхемах и привести в определенной ситуации: либо к выключению устройства, либо обеспечить несанкционированный доступ к конфиденциальным данным. Специалисты признают, что при создании микросхемы, слегка изменив технологический процесс, можно добиться снижения срока службы микросхемы в 10 раз, что будет сложно обнаружить при входном тестировании. Следовательно, микросхема или плата, разработанная в России, но собранная за рубежом может иметь в себе потенциальную уязвимость.

В современных условиях экспортных ограничений и санкций, вводимых многими странами против России, производство плат и микропроцессоров на зарубежных площадках ставит под сомнение возможность российской стороны обеспечить

информационную безопасность соответствующих проектов на всех этапах. Потребности же в применении в государственных органах доверенного оборудования и программного обеспечения напротив растут с каждым месяцем. Что же делать, когда имеющиеся в стране технологические процессы (65 нм), а также стоимость и длительность разработки сложного сетевого микропроцессора не позволяют, казалось бы, надеяться в ближайшем будущем на выход из сложившейся ситуации?

ПЕРСПЕКТИВНЫЕ СЕТЕВЫЕ ТЕХНОЛОГИИ

Ответ на данный вопрос в области телекоммуникации подсказывает сама жизнь. В настоящее время идет смена поколений компьютерных сетей. Поэтому, вместо того, чтобы пытаться догнать, можно и необходимо создавать свои решения для массового рынка, реализующие идеи, закладываемые в архитектуру сетей нового поколения – ПКС [7]. Основная идея ПКС заключается в отделении функций уровня передачи данных от функций уровня управления коммутатором и передаваемым им трафиком. Такой подход предполагает перенос из сетевого устройства интеллектуальной составляющей на выделенный сервер и, как следствие, максимальное упрощение, а, следовательно, и удешевление сетевых элементов – коммутаторов.

В традиционных сетевых устройствах построением таблиц коммутации и передачей данных на их основе занимаются сетевые устройства самостоятельно, используя при этом специализированные микросхемы. Работая самостоятельно, современные коммутаторы и маршрутизаторы были вынуждены общаться между собой по множеству протоколов, обеспечивая, таким образом, необходимый в сети функционал. Со временем функционал традиционной коммутации расширился за счет возможностей маршрутизации, обеспечения политик качества обслуживания, разноуровневых политик обеспечения безопасности, шифрования, механизмов трансляции адресов, балансировки нагрузки, MPLS и пр. Все эти функции требуют поддержки на уровне аппаратуры. Данные возможности нарабатывались годами, требовали отладки, доводки, стандартизации, продолжительных работ по тестированию и реализации совместимости функций оборудования различных вендоров. Все затраты на эти работы не могли не сказаться на стоимости телекоммуникационного оборудования. С ростом количества поддерживаемых функций также растет и сложность управления устройствами. Сегодня

компаний, использующие интеллектуальное телекоммуникационное оборудование вынуждены держать в штате дорогостоящих высококвалифицированных специалистов, постоянно совершенствовать их навыки, обучая их на дорогостоящих курсах. При этом, даже высококвалифицированные специалисты, работающие в компании, не смогут в случае необходимости добавить новую, не реализованную в оборудовании функциональность в работающую сеть, ввиду закрытости используемого патентованного оборудования. Добавление новой функциональности в современной сети требует длительного времени. Сначала в телекоммуникационном сообществе созревает новая идея, которая требует аппаратной поддержки. Далее начинается проектирование, разработка, выпуск и отладка микросхемы. Выпущенную микросхему необходимо интегрировать в продуктовые линейки производителей аппаратуры, и лишь после этого происходит закупка, размещение на площадке заказчика и внедрение. Весь этот процесс растягивается на годы.

Выше был представлен далеко не полный перечень проблем, с которыми в настоящее время сталкиваются потребители телекоммуникационного оборудования. Что же предлагают нам взамен программно-конфигурируемые сети? Идея таких сетей была сформулирована специалистами университетов Стэнфорда и Беркли в 2006 году в рамках проекта Secure Architecture for the Networked Enterprise (SANE) [8], в котором предполагалось централизованное управление политиками безопасности в сети, состоящей из специализированных коммутаторов, находящихся под управлением контроллера домена. Идея программно-конфигурируемых сетей была проработана в рамках проекта Clean Slate Program [9] и отпечковалась в 2008 году в отдельное направление, в интересы которого входила, в частности, разработка протокола OpenFlow. В настоящее время развитием идей программно-конфигурируемых сетей занимается основанный в 2011 году консорциум Open Networking Foundation (ONF), в составе которого сегодня более 90 членов, в том числе корпорации Google, Deutsche Telekom, Facebook, Microsoft, Cisco, Huawei, IBM, HP и др.

ПРОГРАММНО-КОНФИГУРИРУЕМЫЕ СЕТИ

Технология ПКС нацелена на решение следующих проблем:

- повышение эффективности использования пропускной способности каналов;

- упрощение управления сетью;
- повышение масштабируемости сети;
- повышение безопасности сетей;
- эффективная маршрутизация;
- снижение капитальных затрат и затрат на эксплуатацию.

Новый подход отвечает запросам операторов связи, владельцев центров обработки данных (ЦОД), банков, хостинг- и сервис-провайдеров. Он позволяет повысить эффективность сетевого оборудования на 25–30%, снизить на 30% затраты на эксплуатацию сетей, превратить управление сетями из искусства в инженерию, повысить безопасность и предоставить пользователям возможность программно создавать новые сервисы и оперативно загружать их в сетевое оборудование.

В ПКС, работающей на основе протокола OpenFlow выделяют OpenFlow-коммутатор, осуществляющий передачу сетевого трафика, с одной стороны, и OpenFlow-контроллер, управляющий поведением коммутатора, с другой стороны. Общение между коммутатором и контроллером осуществляется с помощью протокола OpenFlow, текущая версия 1.5.1 [10] которого вышла в апреле 2015 года.

Такой подход на основе OpenFlow-протокола подразумевает, что весь основной интеллект в сети сосредоточен на контроллере, который является программным компонентом и работает, как правило, на обычном (commodity) сервере. С контроллером по стандартизованному программному интерфейсу взаимодействуют разнообразные приложения, реализующие сетевые сервисы, такие как маршрутизацию, балансировку нагрузки, разнообразные протоколы, шлюзы, сетевые экраны (Firewall), шифрование, DPI, NAT и т. п.

Коммутатор и контроллер физически связываются между собой либо через выделенную сеть управления (out of band), либо через транспортную сеть (in band). С целью повышения безопасности работы сети управляющий трафик между коммутатором и контроллером может быть зашифрован и/или направлен по выделенному управляющему контуру сети (out of band). С целью же повышения надежности работы в сети могут находиться несколько контроллеров, что позволяет коммутатору в случае потери связи с основным контроллером переключиться на запасной.

Согласно концепции ПКС-коммутатор реализует только функции передачи данных. Поэтому это очень простое программируемое устройство, умеющее выполнять несколько простых команд. Работа ПКС-коммутатора состоит в том, чтобы выделить

из поступающего пакета данных заголовков; если коммутатор "знаком" с тем, как обрабатывать пакеты с такими заголовками, то он действует по заранее загруженной в него программе. Иначе коммутатор с использованием протокола OpenFlow отправляет запрос на контроллер. В ответ контроллер загружает в коммутатор программу обработки пакетов с такими заголовками.

Таким образом, приложения на основании информации о сети, управляемой контроллером и получаемой от контроллера, формирует наборы правил, которые контроллер загружает в коммутаторы, лежащие на маршруте потока. Контроллер всегда имеет актуальную информацию о структуре и топологии сети коммутаторов, которой он управляет (программирует). Это позволяет оптимизировать продвижение пакетов данных, динамично управлять потоками данных, а не отдельными пакетами, балансировать нагрузку, оперативно контролировать выполнение требований информационной безопасности в сети.

В отличие от традиционной сети, где оборудование закрыто для каких-либо изменений пользователем, в ПКС инфраструктуре изменить поведение сети, внедрить особую логику обработки пакетов, реализующих транспорт для совершенно нового протокола, существенно проще. Для этого надо написать специальное программное приложение для контроллера, написанное программистом, находящимся в штате компании, или приложение, скачанное с некоего платного или бесплатного ресурса, подобно тому как сегодня мы можем скачать новую программу для своего смартфона (естественно, что установка и настройка приложения для работы в сети требует наличия соответствующих прав доступа на уровне контроллера ПКС).

Наличие стандартного API для приложений контроллера позволяет подключить к сетевому сообществу множество сторонних программистов, тем самым на рынке, ранее монополизированном вендорами оборудования, появятся новые игроки. Прямым следствием этого станет рост конкурентных решений, удешевление стоимости владения сетевой инфраструктурой при росте гибкости сети.

С точки зрения сложности коммутационного оборудования, очевидно, что снижение требований по числу и видам поддерживаемых протоколов на уровне сетевых устройств за счет вынесения управляющей логики на контроллер, а также разделения ресурсов контроллера между набором сетевых устройств, приводит к снижению стоимости разработки сетевого оборудования, уменьшению

себестоимости его компонентов. Стандартизация управляющих протоколов и действий, реализуемых на уровне сетевого оборудования, практически сводит на нет проблемы совместимости оборудования различных вендоров.

В отличие от традиционных коммутаторов и маршрутизаторов, где передача пакета осуществляется в подавляющем большинстве случаев только на основе MAC-адреса и/или IP-адреса пункта назначения, в рамках стандарта OpenFlow определено 44 разнообразных критерия [8], принимаемых во внимание при принятии решения как поступать с пакетом, что открывает широкие дополнительные возможности для управления трафиком в сети. Стоит отметить, что ряд критериев классификации пакетов является опциональным, что позволяет варьировать модельный ряд сетевого оборудования, как по множеству поддерживаемых функций, так и по стоимости моделей. В то же время, стандартом определены механизмы, позволяющие контроллеру выявлять и далее учитывать функциональные возможности каждого элемента сетевой инфраструктуры.

За счет новых приложений функционал ПКС по сравнению с традиционной сетью не только не страдает, но даже расширяется. Характеристики сети можно будет быстро менять в соответствии с потребностями, при этом сроки внедрения новых решений значительно сократятся. Централизованное управление позволит получить контроль над сетью из единого места, что значительно упростит ее эксплуатацию. Стандартизация интерфейсов общения между приложениями и контроллером, а также интерфейсов общения контроллера с коммутаторами позволит применять программное обеспечение и оборудование, созданные различными компаниями, а потребители, таким образом, избавятся от диктата вендора – производителя железа.

ПЕРСПЕКТИВЫ ПКС-РЕШЕНИЙ ДЛЯ РОССИИ

В российских условиях потенциальный успех создания решений для ПКС обусловлен наличием высококвалифицированной школой российских программистов и сравнительно несложным аппаратным обеспечением. Тот факт, что сетевому устройству OpenFlow достаточно уметь выполнять относительно небольшой набор команд над пакетами и при этом нет необходимости реализовывать весь набор разнообразных протоколов, существующих в современных сетях, позволяет надеяться на то, что в России

реально произвести такую аппаратуру целиком из отечественных компонентов.

В Центре прикладных исследований компьютерных сетей уже разработан собственный OpenFlow-контроллер с набором приложений, удовлетворяющих требованиям, предъявляемым к малым и средним корпоративным сетям [11]. Данный контроллер (RUNOS – Russian Network Operation System) является первым российским ПКС-контроллером, его текущая версия превосходит по производительности все известные в мире аналоги. При этом в нем обеспечена совместимость по API с приложениями, разрабатываемыми для таких общеизвестных контроллеров как OpenDaylight и Floodlight, что позволяет использовать уже имеющиеся наработки приложений совместно с отечественным высокопроизводительным контроллером. Познакомиться с базовой открытой версией контроллера, установить его и начать разрабатывать собственные приложения для него можно, обратившись по адресу и скачав его со следующего ресурса: <https://github.com/ARCCN/runos>.

Для построения полноценной отечественной программно-конфигурируемой корпоративной сети необходимо также и аппаратное обеспечение – OpenFlow-коммутатор.

РАЗРАБОТКА ОТЕЧЕСТВЕННОГО OPENFLOW-КОММУТАТОРА

Мы сформулировали основные требования, которым, по нашему мнению, должны удовлетворять сетевые устройства, используемые для построения корпоративных сетей:

- подключение рабочих мест на скорости 100 Mbps – 1Gbps;
- подключение к уровню ядра на скорости 1–10Gbps;
- модульность для сохранения инвестиций и гибкости решений;
- поддержка политик качества обслуживания;
- поддержка механизмов обеспечения безопасности;
- поддержка инструментов контроля состояния, загрузки, эффективности использования имеющихся линий связи;
- поддержка возможности виртуализации сетевой инфраструктуры;
- возможность передачи широковещательного трафика;
- возможность организации балансировки нагрузки;
- быстрая сходимость для достижения минимального времени простоя, обеспечиваемая за счет

перенаправления пакетов на заранее просчитанный контроллером и сохраненный на коммутаторе запасной маршрут, переход на который происходит без дополнительного обращения к контроллеру по факту обнаружения пропадания основного пути;

- динамическое управление сетевой инфраструктурой в зависимости от требований приложений и текущей загрузки.

Топология такой корпоративной сети может выглядеть следующим образом (см. рис.1).

Исходя из описанного выше функционала и типичной схемы организации корпоративной сети, мы сформулировали требования к OpenFlow-коммутатору, предназначенному для работы в данных условиях. По нашему мнению таковой может быть модульная платформа, рассчитанная на установку четырех модулей, каждый из которых может представлять собой либо плату на восьми гигабитных портах или плату на один 10-гигабитный порт. При этом взаимодействие между модулями должно осуществляться на максимальной скорости работы портов (без переподписки). Для хранения записей в таблицах коммутации (FlowTable) необходимо использовать в дополнении к высокоскоростной памяти (QDR II SRAM) ассоциативную память (TCAM). Чтобы удовлетворить потребности малой и средней корпоративной сети достаточно, чтобы несколько таблиц коммутации (запланировано наличие четырех таблиц) могли содержать порядка 16 тысяч записей. С целью обеспечения в корпоративной сети политик качества обслуживания каждый порт устройства должен поддерживать не менее четырех входящих и четырех исходящих очередей.

Для общения коммутатора с контроллером в рамках корпоративной сети не сложно организовать отдельные линии связи, обеспечив, таким образом, управление через выделенную сеть. С целью резервирования и повышения производительности данной связи коммутатор должен быть обеспечен двумя выделенными гигабитными портами, а также выполнен в исполнении, позволяющем разместить его в стандартной стойке 19 дюймов, при этом чтобы он занимал один юнит и получал переменное питание 220 В.

Чтобы оценить технические возможности электронной промышленности, необходимые для производства СБИС специализированного сетевого процессора, кратко рассмотрим продукты западных производителей элементной базы и их тактико-технические характеристики. При этом мы будем исходить из потребности поддержки 10 гигабит

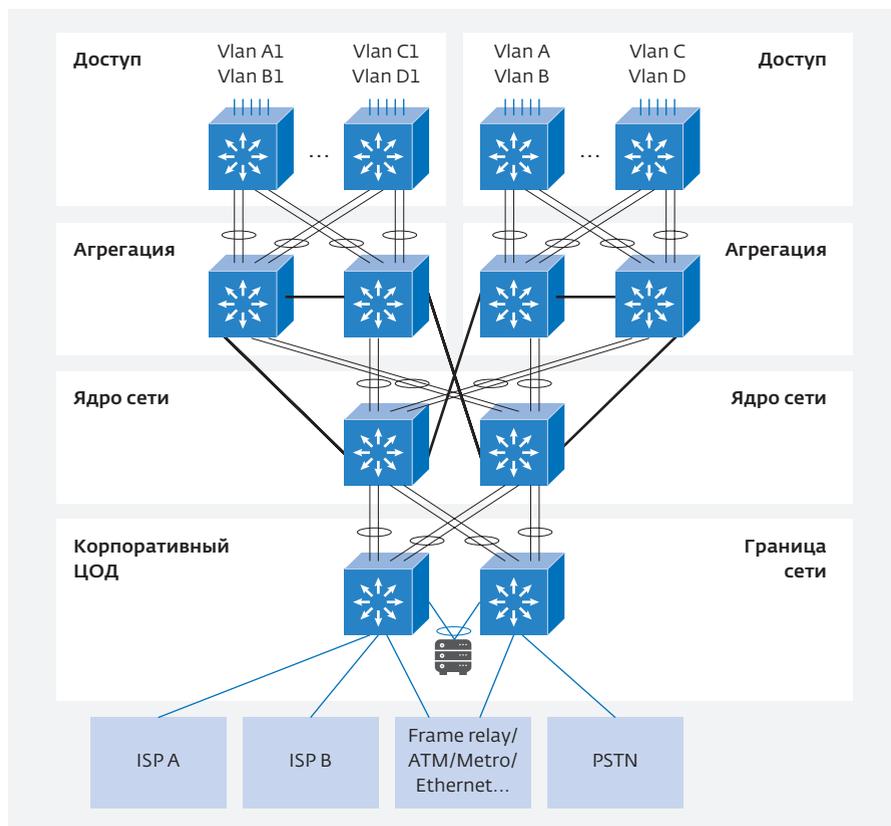


Рис.1. Топология корпоративной сети

интерфейсов, как наиболее требовательных к технологическому процессу.

Потенциального потребителя могут интересовать следующие варианты подключения к 10-гигабитному каналу: модули XENPAK, X2, XFP, SFP+, любые вариации подключения на базе 10G-BASE-KR. Это фактически означает, что подключение желательно осуществлять по стандартам XFI/SFI или XAUI, через одну дифференциальную пару в каждом направлении с передачей сигналов на частоте 10,3125 ГГц или через группу из четырех дифференциальных пар в каждом направлении с передачей сигналов на частоте 3,125 ГГц.

Производимый с 2008 года L2-коммутатор FM2224 [12] представляет собой СБИС, выполненную по 130 нм технологическому процессу, содержащую 24-порта 10 гигабит Ethernet и внутреннюю коммутационную матрицу с пропускной способностью в 120 Гб/с. Самый быстрый из реализованных на данной СБИС интерфейсов – XAUI.

Анонсированный в 2009 году PNY BCM8704 [13], реализующий перекодирование сигнала XAUI (с подъемом частоты до 10.3125 ГГц и перекодирование 8/10 в 64/66), был выпущен по 65 нм технологии.

Кроме того, нельзя не упомянуть и про наличие таких решений, как трансивер TLK3114SC [14], реализующий преобразование XAUI в параллельный интерфейс из 36-линий с передачей потенциального сигнала с удвоенной плотностью на частоте 156,25 МГц.

Таким образом, при наличии возможности flip-chip корпусировки, при производстве кристаллов по технологическим нормам в 90 нм можно ожидать поддержки XAUI, а при поддержке 65 нм – XGMII. В то же время при wire-bonding корпусировке, принимая во внимание наличие экземпляров ЭКБ с поддержкой DDR2 и аналогов, ничто, кроме числа доступных ножек СБИС и ограничений по ЭКБ периферии и монтажу, не ограничивает возможности по вводу-выводу потоков 10 G Ethernet.

Исходя из сказанного выше, можно сделать вывод, что коммутатор с описанными выше характеристиками реально произвести на имеющихся в России мощностях на российской элементной базе.

При создании коммутатора с нуля соблюдается следующая последовательность действий.

1. Разработка программной модели, подразумевающая разработку архитектуры, разработку структурной и транзакционной моделей, модели поведения нестандартных модулей (набор правил преобразований, накопление очередей действий, применение преобразований, распределение потоков данных, мониторинг и диагностика). Создание набора моделей компонентов и исполняемой модели с использованием средств библиотеки SystemC.
2. Разработка программного обеспечения OpenFlow агента коммутатора, который будет непосредственно взаимодействовать с контроллером, интерпретировать получаемые от него команды и преобразовывать их в набор воздействий на элементы, осуществляющие обработку трафика.
3. RTL-отображение. Представление блоков изделия на языке описания аппаратуры, верификация проекта на уровне модулей с задействованием разработанных моделей SystemC в режиме совместного

моделирования. Детализация требований к аппаратным компонентам, схемотехнике, реализация моделей блоков устройства на языке Verilog, отработка и тестирование отдельных модулей на ПЛИС.

4. Проектирование печатной платы и корпуса устройства. Проектирование схем, сигнальное моделирование, определение размещения ключевых компонент, трассировка, моделирование физических характеристик слоев.
5. Подготовка к производству, изготовление пробной печатной платы.
6. Подготовка и монтаж печатной платы.
7. Проверка печатной платы, проверка номиналов, тестирование сигнальных линий, всего изделия, выявление недочетов.
8. Корректировка схем и требований к монтажу, повторный выпуск печатной платы.

К настоящему времени нами завершены работы 1 и 2 этапов. Сформирован облик прототипа коммутатора. Разработана декомпозиция ячейки коммутатора на 28 функциональных блоков. Построена SystemC-модель. Проверена жизнеспособность предложенного решения. Скорректированы требования к элементной базе. Для создания опытного образца планируется использовать ПЛИС – Xilinx Virtex-7 family FPGA (XC7V485T-2), оперативную память QDR II SRAM Cypress (CY7C1515KV18), в качестве Control Plane процессора, реализующего функционал OpenFlow агента, предполагается использовать Xilinx Zynq-7030 (1GHz, dual-core ARM Cortex-A9 MPCore microprocessor).

СТРУКТУРНАЯ СХЕМА КОММУТАТОРА

Общая структурная схема коммутатора выглядит следующим образом (рис.2).

Представленные на схеме модули можно по функциональному назначению разделить на две основные группы: обрабатывающие и управляющие.

Под обрабатывающими модулями понимаются модули, основными функциями которых являются:

- прием сетевых пакетов из пользовательской сети;
- обработка принятых пакетов;
- передача пакетов в пользовательскую сеть.

По составу вычислительных блоков обрабатывающие модули разнятся только по типам сетевых интерфейсов и соответствующих блоков MAC, а также блоков, взаимодействующих с MAC. В остальном же, каждый модуль комплексирует одинаковый набор блоков обработки информации – конвейер обработки. Обрабатывающий модуль 10G включает в свой состав один блок MAC, реализующий прием и отправку данных на скоростях до 10 Гб/с. Обрабатывающий модуль 1 гигабит включает в свой состав до 8 блоков MAC, каждый из которых реализует прием и отправку данных на скоростях до 1Гб/с.

Основной функцией управляющих модулей является:

- взаимодействие с контроллером OpenFlow;
- реализация воздействий на обрабатывающие модули;
- контроль состояния обрабатывающих модулей;
- оповещение контроллера OpenFlow об изменении

состояния управляющих модулей.

Модули коммутатора связываются по двум изолированным группам каналов передачи данных: управляющих и каналов межмодульной маршрутизации данных.

Управляющие каналы межмодульного взаимодействия представляют собой совокупность дуплексных каналов, связывающих каждый из модулей обработки данных с управляющим модулем, образующих тем самым топологию звезды с управляющим модулем в центре. Выбор топологии среды взаимодействия в данном случае обусловлен прямой необходимостью

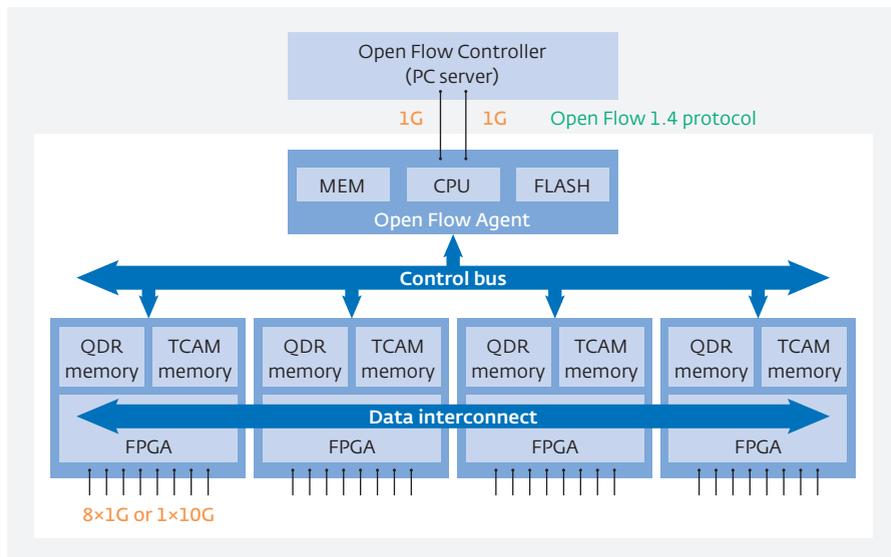


Рис.2. Общая структурная схема коммутатора

организации высокоскоростного обмена с низкой латентностью между управляющим модулем и обрабатывающими модулями, а в равной степени и необходимостью обеспечения асинхронного независимого взаимодействия с каждым из модулей.

Каналы межмодульной маршрутизации данных представляют собой совокупность дуплексных каналов взаимодействия, связывающих только обрабатывающие модули между собой по схеме каждый с каждым, образуя топологию граф полной связности на домене обрабатывающих модулей. Выбор топологии обусловлен необходимостью реализации пакетной коммутации на каналах, связывающих контейнеры сетевых портов ввода-вывода. Граф полной связности с демультимплексором (селектором модуля исходящего порта) на стороне модуля-источника пакета и симметричным мультимплексором на стороне другого модуля позволяет, фактически, реализовать распределенную коммутационную матрицу.

Общая схема обработки пакета модулями устройства выглядит следующим образом (рис.3).

ФУНКЦИОНАЛЬНЫЕ БЛОКИ КОММУТАТОРА

Разработанная в рамках проекта программная модель коммутатора включает в свой состав следующие функциональные блоки (рис.4).

- Блок приема информации обеспечивает чтение потока входящих сообщений, буферизацию каждого из них в одной из очередей входящих сообщений, формирование дескриптора сообщения и контекста обработки сообщения, передачу контекста на последующую обработку.
- Блок идентификации потока обеспечивает обработку дескриптора сообщения, сопоставление дескриптора набору шаблонов, определение идентификатора шаблона с максимальным весом. В модели данный блок представлен одним функциональным элементом, имитирующим работу с элементом TCAM.
- Блок обработки инструкций обеспечивает выборку дескриптора набора инструкций по идентификатору, применение инструкций путем модификации списка дескрипторов

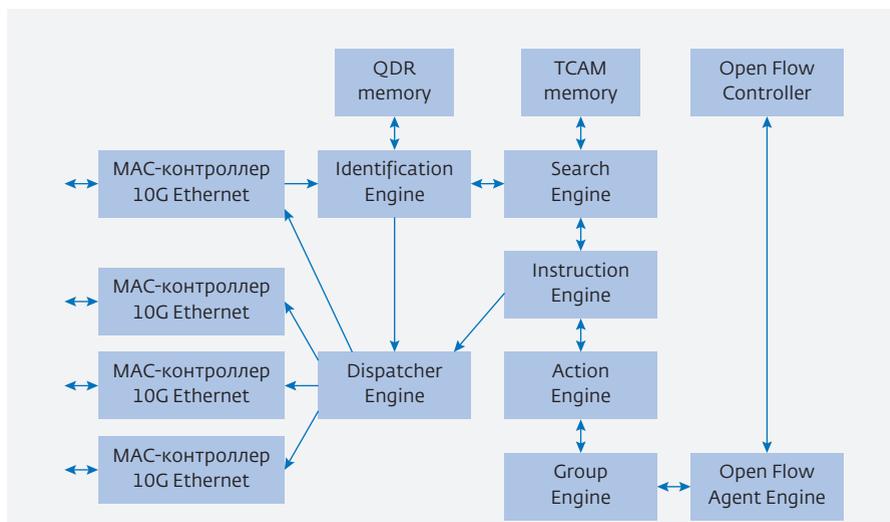


Рис.3. Общая схема обработки пакета модулями

действий, накапливаемых в контексте обработки сообщения.

- Блок реализации действий обеспечивает обработку списка действий, содержащихся в контексте обработки пакета путем последовательного прогона контекста обработки через набор функциональных элементов, реализующих отработку отдельных воздействий на поля дескриптора сообщения.
- Блок обработки групповых сообщений – обеспечивает отработку правил по выбору исходящего порта из заданной группы, дублированию сообщений для последующей раздачи на группу портов, реализации ширококвещательной передачи.
- Блок межмодульного взаимодействия – обеспечивает передачу сообщений между модулями, входящими в состав коммутатора, для последующей выдачи в порт назначения коммутатора в зависимости от заданного в контексте обработки сообщения логического номера исходящего порта. Данный блок также обеспечивает прием межмодульных транзакций от других модулей и направление сообщения в локальные порты.
- Блок взаимодействия с контроллером представляет собой распределенную систему, включающую в свой состав:
 - блок управляющего контроллера, который обеспечивает отображение ресурсов модулей коммутатора в адресное пространство управляющего приложения, обеспечивает преобразование операций ввода-вывода в наборы транзакций шины AXI4, связующей модули;

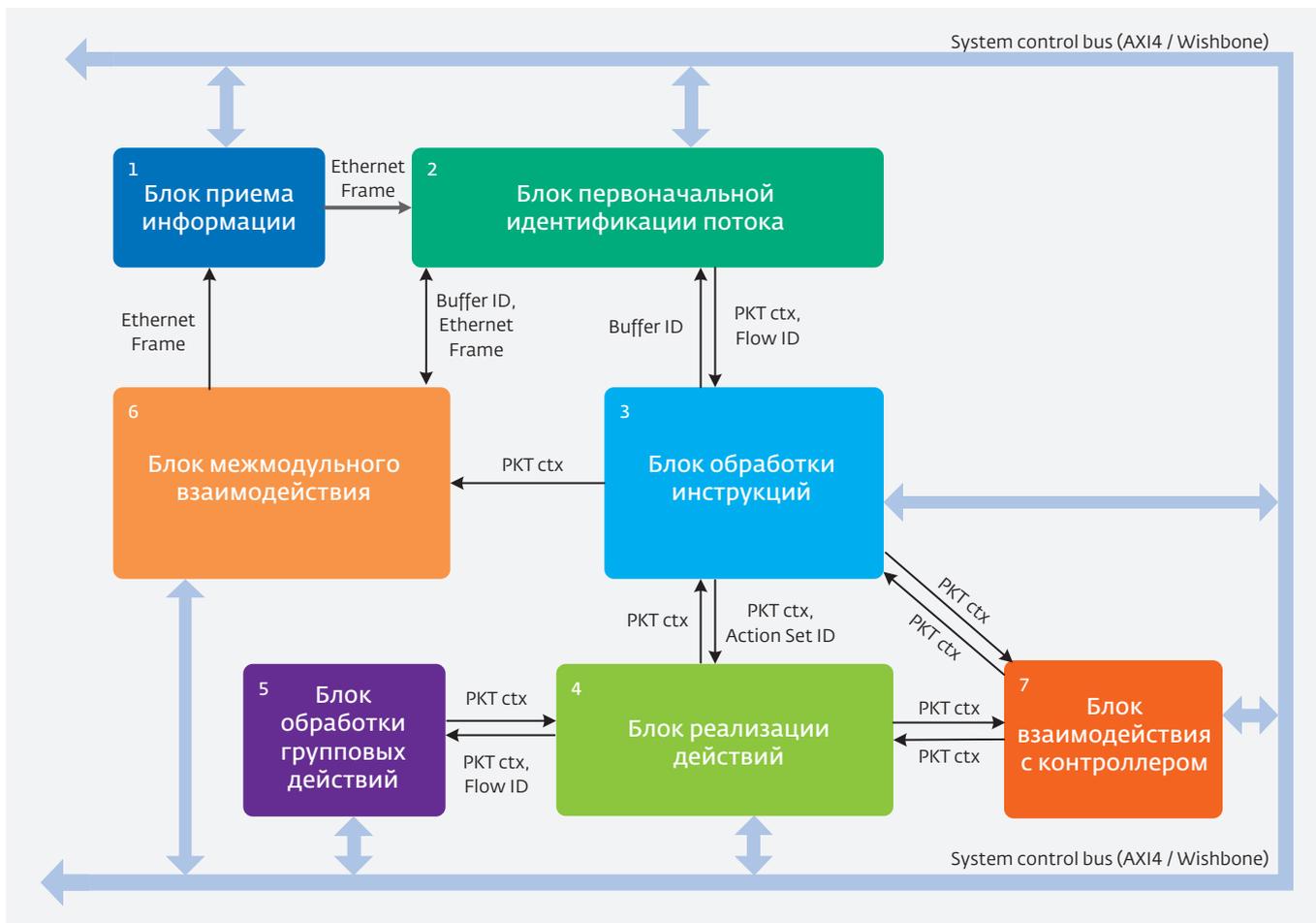


Рис.4. Программная модель коммутатора

- блоки управления модулями коммутатора, реализующие прозрачный мост между внешней шиной AXI4 и блоками параметрической и служебной информации функциональных блоков модуля коммутатора.

ТЕКУЩЕЕ СОСТОЯНИЕ ПРОЕКТА

Работающая по описанной выше схеме модель OpenFlow коммутатора была написана на языке C++ с использованием библиотеки поддержки моделирования SystemC и успешно прошла тестирование с использованием хорошо себя зарекомендовавшего в ПКС-сообществе программного обеспечения OFtest. Также на практике была подтверждена совместимость данного ПО с OpenFlow контроллером RUNOS, созданным в нашем центре.

Таким образом, текущее состояние разработки позволяет приступить к следующему этапу проектирования и создания отечественного

коммутатора – переводу модели устройства на язык Verilog и получение прошивок ПЛИС.

ПЕРСПЕКТИВЫ РАЗРАБОТКИ

Хочется отметить, что у российского телекоммуникационного сообщества есть уникальный шанс не повторять длинный путь совершенствования сложнейшей аппаратуры, который прошли такие производители, как Cisco, Juniper, Huawei, Brocade и другие, а сразу перейти к внедрению в отечественных сетях нового подхода, базирующегося на использовании ПКС, причем на отечественном программном и аппаратном обеспечении, перейдя сразу на новый виток эволюционного развития телекоммуникаций.

Многие скептики, знакомясь с идеями, лежащими в основе программно-конфигурируемых сетей, спрашивают: "Почему такая активно обсуждаемая в последние годы и вроде как

перспективная идеология все еще не захватила весь мир?" Внедрение SDN в западном телекоммуникационном мире отчасти сдерживается производителями оборудования, вложившими в разработку и производство сложных коммутаторов и маршрутизаторов миллиарды долларов. Практически все крупнейшие производители оборудования телекоммуникационного рынка так или иначе заявляют о развитии SDN решений в своем оборудовании и в то же время каждый из них старается, как обычно, продвинуть собственные разработки, стараясь их стандартизовать и, таким образом, захватить существенную часть рынка. Естественно они заинтересованы в защите своих инвестиций и, как следствие, в сохранении имеющегося могучего интеллекта в аппаратуре. К чему все это приведет – покажет время. Тем не менее, уже сейчас есть реальные примеры компаний использующих этот подход. Так только одна компания АТТ вложила около семи миллиардов долларов в переход к инфраструктуре SDN, а по заявлению сотрудников компании NEC в Японии ими уже реализовано более 200 проектов с использованием SDN. Как видите, это уже не единичные примеры. Таким образом, можно констатировать, что процесс модернизации и обновления сетей идет, вот только нам представившийся шанс не упустить бы...

В настоящее мы проводим тестирование протокола OpenFlow-коммутатора, описанного в данной статье. Результаты экспериментальных исследований будут опубликованы позднее.

Проект поддержан грантом Инновационного фонда "Сколково" от 2 июля 2012 г. №29.

ЛИТЕРАТУРА

1. **Печенкин А.А., Васильев А.Л., Козлов А.А., Кольцов Д.О., Орлов А.А., Тарараксин А.С., Чумаков А.И., Яненко А.В.** Расчетно-экспериментальная оценка сбоеустойчивости ИС в условиях космического пространства // В сб.: Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010 / Под общ. ред. акад. А.Л.Стемпковского. – М.: ИППМ РАН, 2010. С. 269–274.
2. **Герасимов Ю.М., Григорьев Н.Г., Гусев В.В., Кобыляцкий А.В., Петричкович Я.Я.** Радиационно-стойкие КМОП СБИС ОЗУ по технологии объемного кремния // В сб.: Проблемы разработки перспективных микро- и нанoeлектронных систем – 2014 / Под общ. ред. акад. РАН А.Л.Стемпковского. – М.: ИППМ РАН, 2014. Часть III. С. 171–176.
3. **Герасимов Ю.М., Глушков А.В., Григорьев Н.Г., Петричкович Я.Я., Солохина Т.В.** Особенности проектирования радиационно-стойких библиотек элементов, СФ-блоков и нанoeБИС СнК // В сб.: Проблемы разработки перспективных микро- и нанoeлектронных систем – 2008 / Под общ. ред. А.Л.Стемпковского. – М.: ИППМ РАН, 2008. С. 272–275.
4. **Уланова А.В., Согоян А.В., Чумаков А.И., Никифоров А.Ю., Петров А.Г.** Особенности оценки радиационной стойкости микросхем в специализированных защитных корпусах // В сб.: Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012 / Под общ. ред. акад. РАН А.Л.Стемпковского. – М.: ИППМ РАН, 2012. С. 584–587.
5. **Селецкий А.В., Шелепин Н.А.** Оценка конструктивно-технологических возможностей повышения радиационной стойкости глубоко-субмикронных СБИС // В сб.: Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012 / Под общ. ред. акад. РАН А.Л.Стемпковского. – М.: ИППМ РАН, 2012. С. 588–593.
6. **Красников Г.Я.** Нароботаем мускулы и возвратимся на мировой рынок // Российская газета. 10.09.2010. № 204 (5283).
7. **Смелянский Р.Л.** Программно-Конфигурируемые Сети // Открытые системы. 2012. № 9. С. 18–24.
8. SANE: A Protection Architecture for Enterprise Networks, <http://www.cs.princeton.edu/~mfreed/docs/sane-sec06.pdf>.
9. Clean Slate Program, wikipedia, http://en.wikipedia.org/wiki/Clean_Slate_Program.
10. OpenFlow Switch Specification Ver 1.5.1, <https://www.opennetworking.org/images/stories/downloads/sdn-resources/onf-specifications/openflow/openflow-switch-v1.5.1.pdf>.
11. **Смелянский Р.Л., Шалимов А.В., Чемерицкий Е.В.** Программирование уровня передачи данных в ПКС // Connect. 2014. № 4. С. 44–50.
12. Intel FM2224 24-Port 10G Ethernet L2 Switch Chip <http://www.intel.co.kr/content/dam/www/public/us/en/documents/datasheets/ethernet-switch-fm2224-datasheet.pdf>.
13. Broadcom Announces Industry's First 65nm All-DSP, Dual PHY Solutions for 10GbE SFP+ Applications, 2009, <http://www.broadcom.com/press/release.php?id=s372195>.
14. TLK3114SC 10-Gbps XAUI Transceiver, 2006, <http://www.ti.com/lit/ds/slls582d/slls582d.pdf>.

АСПЕКТЫ ОЦЕНКИ ЭФФЕКТИВНОСТИ ПРОЦЕССОРНЫХ АРХИТЕКТУР

► Д. Б. Бычков, С. Ю. Дождев

В данной работе рассматривается проблема количественных оценок эффективности оптимизации создаваемых процессорных архитектур по критерию плотности выполняемого кода. На примере ядер компаний KM211 и ARM показано влияние различных поколений архитектур и используемых версий оптимизирующих компиляторов. Дается ссылка на созданный свободно распространяемый инструментальный пакет, с помощью которого были получены приведенные в статье данные.

ASPECTS OF PROCESSOR ARCHITECTURES PERFORMANCE METRICS

D. B. Bychkov, S. Y. Dozhdev

In this article we consider a problem of the quantitative performance optimization evaluations by the code density criterion for the newly created processor architectures. On the example of the ARM and KM211 processor cores shows the effect of several architecture generations and optimizing compilers versions. Reference made to a created freely distributable Code Density Compare Tool, with which have been obtained the data given.

При сравнении микропроцессоров разной архитектуры встает вопрос выбора метрик. И если сравнение конкурирующих кристаллов по физическим параметрам (занимаемая площадь, потребляемый ток или количество вентиляторов в кристалле) – вещь очевидная, то сравнение по вычислительной эффективности (по производительности или по плотности программного кода) может потребовать отдельного обсуждения. Понятно, что вычислительная эффективность платформы – это результат сложения нескольких факторов. С одной стороны, вклад вносит сама архитектура процессора или системы целиком, а с другой стороны – эффективность программных средств, используемых для получения исполняемого кода из программы на языке высокого уровня, например, на Си, поскольку в последнее время языки низкого уровня используются для программирования все реже.

Для оценки производительности микропроцессора разработчик нового кристалла или его потенциальный пользователь могут воспользоваться одним из многочисленных имеющихся тестов (benchmark) в зависимости от предполагаемой сферы применения микропроцессора. Известны тесты, ориентированные как на оценку общих вычислительных

"способностей" системы, так и на применение той или иной платформы в конкретной предметной области (например, для обработки изображений, в коммуникационных протоколах или в автомобильной электронике).

К первой группе – общих тестов – относятся, например, давно и широко используемые тесты Whetstone [1] и Dhrystone [2] или более новый тест CoreMark [3, 4]. Чтобы оценить применимость в конкретной сфере, можно воспользоваться специфическими тестами типа DENBench [5], AutoBench [6] и т.п. Существуют даже исследования, помогающие потребителю выбрать наиболее подходящий тест (см., например, [7]).

Самое главное во всех этих тестах – то, что они ставят различные платформы в равные условия с точки зрения конкретной вычислительной нагрузки и, таким образом, могут служить метриками при сравнении производительности альтернативных процессоров.

Гораздо более сложная ситуация возникает, когда мы пытаемся объективно оценить какую-либо платформу с точки зрения плотности программного кода. Если упомянутые тесты производительности Dhrystone или CoreMark известны большинству заинтересованных пользователей, то кто может

назвать общепринятые (и общепризнанные) тесты для оценки плотности кода?

Конечно, проводя оценку производительности посредством любого специализированного теста, параллельно можно сравнить и размеры получаемого кода для разных платформ. Но специализация теста, которая является плюсом при оценке специфической производительности, становится минусом при оценке плотности кода. Те или иные операции, типы данных или конструкции языка, характерные для конкретного специализированного теста, могут существенно исказить картину относительно использования той же платформы, но в другой предметной области. Значит, для объективного сравнения нужно перебрать несколько специализированных тестов из разных областей или ограничиться только синтетическими тестами типа CoreMark, или выбрать несколько тестовых примеров случайным образом, как это было сделано в работе [8].

Возможное решение для потенциального потребителя кристаллов – это проведение портирования своего реального программного обеспечения на конкурирующие платформы, а затем сравнение результатов. Вопрос только в затратах на само портирование.

Наконец, как быть разработчикам новых кристаллов – как позиционировать свою продукцию относительно уже имеющейся на рынке?

Какой тест или выборка тестов могут считаться представительными, чтобы на них можно было оценить по плотности кода связку "архитектура плюс компилятор"? Попробуем обосновать решение, принятое нами при оценке плотности кода для наших ядер КМ32/КМХ.

ДАнные для сравнения

По сути, требуется ответить на два вопроса: что сравнивать и что взять в качестве исходного тест-набора. В качестве ответа на первый вопрос представляется правильным подход, указанный в материале компании ARM [9]. Там для оценки эффективности компилятора предлагается сравнивать либо чистый размер секции кода, либо общий "ROM footprint", исключая компоненты библиотеки.

Возможно, для встроенных приложений логично было бы учитывать и размер библиотек, тем более что зачастую библиотеки компилируются теми же средствами, что и пользовательские программы. Но существуют и аргументы против этого. Во-первых, библиотеки от некоторых производителей могут быть написаны непосредственно на ассемблере или специально оптимизированы и значительно сокращены

относительно стандартной библиотеки, как та же библиотека `microlib` [10]. Это внесет перекоп в сравнение конкурирующих платформ. Во-вторых, многие встроенные приложения вообще не нуждаются в поддержке файловой системы или не имеют стандартного ввода-вывода, работы со строками и т.д., другими словами, вообще не пользуются стандартными библиотечными функциями. Довольно подробно этот вопрос рассматривается в упомянутой работе [8] на примере функции `printf`.

В итоге, для целей нашего анализа мы приняли решение сравнивать полный "footprint" программы, попадающий в ROM кристалла и включающий в себя код, `read-only` данные и образ инициализируемых данных, но без учета библиотек.

ТЕСТ-НАБОР

Мы исходили из того, что разработчикам компилятора с языка высокого уровня все равно приходится постоянно тестировать те или иные аспекты его работы. Одна из важнейших и самых критичных проверок – это проверка компилятора на соответствие стандарту языка. В силу объемности подобной проверки существует не так уж много публично доступных тестовых пакетов, посвященных этой теме. Те, кто работает в экосистеме gcc, пользуются имеющимися в его составе тестовыми пакетами ("testsuits", [11]). Из комплексных коммерческих продуктов отметим пакеты The Plum Hall Validation Suite for C [12] от одноименной американской компании и SuperTest compiler test and validation suite [13] от европейской компании ACE. Более полный список можно найти, например, на странице компании Texas Instruments, посвященной тестированию их собственных Си-компиляторов [14].

По нашему мнению, использование одного или нескольких таких пакетов не только по их прямому назначению, но и для оценки плотности программного кода может дать наиболее объективную картину при сравнении различных платформ. Логика проста: в силу своего предназначения эти тест-наборы охватывают все возможные типы данных, операции и конструкции, допустимые в языке.

Кроме того, например, пакет SuperTest, используемый нами при тестировании собственного Си-компилятора для разных ядер, хорошо структурирован в соответствии с разделами стандарта языка. Запуская отдельные группы тестов из этого пакета на различных платформах, можно выборочно сравнить эффективность платформ в реализации тех или иных аспектов языка.

Таблица 1. Версии и используемые опции сравниваемых компиляторов

Ядро	Разработчик компилятора	Компилятор и версия	Дата выхода	Опции компиляции
КМ32	КМ211 [15]	km32-gcc 4.6.0		-Os
КМХ		kmx-gcc 4.6.0		-Os
Cortex-M3	Mentor Graphics [16]	arm-none-eabi-gcc 4.6.1	декабрь 2011 г.	-mcpu=cortex-m3 -mthumb -Os
		arm-none-eabi-gcc 4.7.2	октябрь 2012 г.	-mcpu=cortex-m3 -mthumb -Os
	Keil [17]	armcc 5.03		--cpu=cortex-m3 --thumb -Ospace

В целях обобщенного сравнения можно для каждой из платформ просто просуммировать объем кода, содержащегося в объектных файлах и попадающего в ROM, по всем используемым тестам пакета.

РЕАЛИЗАЦИЯ И РЕЗУЛЬТАТЫ

Мы попытались сравнить плотность программного кода для собственного ядра КМ32/КМХ с сопоставимым по вычислительной мощности ядром ARM Cortex-M3. Для ядра ARM мы по возможности брали самые последние из доступных версий компиляторов, кроме отдельно оговоренного случая. Вся компиляция проводилась с оптимизацией на размер кода. Платформы, участвующие в сравнении, сведены в таблицу.

Как упоминалось выше, для тестирования всех платформ нами применялся пакет SuperTest [13], Rembrandt Release. Использовались следующие подмножества этого пакета:

- тестовый набор на соответствие стандарту ANSI C (тест-набор "Breadth", тестовые поддиректории 2/, 3/, 4/);
- тестовый набор на соответствие стандарту ISO/IEC 9899:1999 (тестовая поддиректория C99/);
- тест вычислений с перебором всех возможных комбинаций различных типов операндов и операторов (тест-набор "Depth").

При сопоставлении учитывались только те тесты, которые были без ошибок скомпилированы для всех сравниваемых платформ, то есть сопоставление проведено на пересечении множеств успешно скомпилированных тестов. Общее количество тестов для сравнения составило 33534, что дало около 200 Мбайт объектного кода. Подсчитывался общий "footprint" объектных модулей без учета библиотек.

Результаты (суммарный размер объектных файлов в байтах) приводится на диаграмме.

ЗАКЛЮЧЕНИЕ

1. Эффективность платформы КМ32/КМХ с точки зрения плотности программного кода находится на достаточно высоком уровне. Она выше по сравнению с результатами Keil для ARM: соотношение объемов кода равно **0.853** в пользу КМХ при сравнении КМХ/Keil, или **0.905** в пользу КМ32 при сравнении КМ32/Keil. Плотность кода для КМХ выше даже

Таблица 3. Сравнение результатов

Компилятор	Объем кода
armcc 5.03 (Keil)	244 708 664
arm-none-eabi-gcc 4.7.2 (Mentor)	194 229 727
arm-none-eabi-gcc 4.6.1 (Mentor)	219 470 062
km32-gcc 4.6.0 (КМ211)	221 627 286
kmx-gcc 4.6.0 (КМ211)	208 836 368

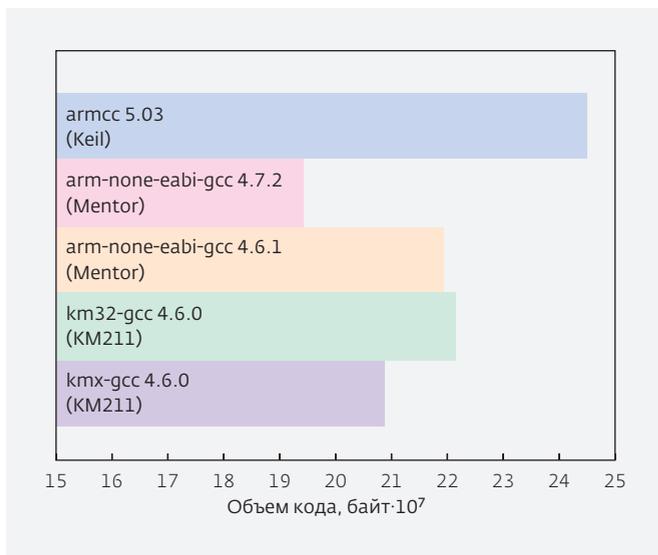


Рис.1. Сравнение результатов

по сравнению с gcc 4.6.1 от Mentor (соотношение объемов кода КМХ/Mentor равно **0.952**) и уступает только последней версии компилятора от Mentor (соотношение объемов кода КМХ/Mentor равно **1.075** не в пользу КМХ).

2. Переход от ядра КМ32 к ядру КМХ дает заметный выигрыш в плотности кода (соотношение объемов кода КМХ/ КМ32 равно **0.942** в пользу КМХ). При этом выигрыш происходит за счет улучшения архитектуры ядра, так как "front-end" компилятора при переходе от КМ32 к КМХ не менялся.
 3. Бросается в глаза значительное сокращение объема кода при переходе Mentor от версии 4.6 gcc к версии 4.7 (соотношение объемов кода для этих версий составляет **0.885**). При этом основные изменения в компиляторе сосредоточены именно во "front-end", то есть связаны с улучшениями в самом компиляторе. Таким образом, есть основания думать, что переход на новую версию gcc даст сходный положительный эффект и для компилятора КМХ.
 4. Неожиданно большим оказался объем кода, полученный на компиляторе от Keil по сравнению со средствами, основанными на gcc. По-видимому, с точки зрения плотности кода основное преимущество при работе с Keil заключается в итоге не в эффективности самого компилятора, а в использовании Си-библиотеки, глубоко оптимизированной для встроенных приложений. Оптимизация библиотек для КМХ (например, под конкретного пользователя или под применение) должна еще больше повысить эффективность платформы КМ32/КМХ с точки зрения плотности итогового программного кода.
 5. При отсутствии специализированных средств типа [12] или [13] потенциальный пользователь может сравнить конкурирующие платформы с точки зрения плотности кода, воспользовавшись любыми доступными ему средствами, предназначенными для проверки компилятора на соответствие стандарту языка, например [11].
 6. Поскольку коммерческие тестовые пакеты требуют лицензирования, авторы планируют выложить в открытый доступ программные средства для сравнения плотности кода, основанные на использовании открытого программного обеспечения [18]. В качестве тест-наборов будут использованы тестовые средства, встроенные в сам компилятор gcc.
1. Синтетический тест производительности Whetstone, Материал из Википедии. URL: [http://en.wikipedia.org/wiki/Whetstone_\(benchmark\)](http://en.wikipedia.org/wiki/Whetstone_(benchmark)).
 2. Синтетический тест производительности Dhrystone, Материал из Википедии. URL: <http://en.wikipedia.org/wiki/Dhrystone>.
 3. Синтетический тест производительности Coremark, Материал из Википедии. URL: <http://en.wikipedia.org/wiki/CoreMark#CoreMark>.
 4. Стартовая страница проекта Coremark. URL: <http://www.coremark.org>.
 5. Специализированный набор тестов для задач мультимедиа DENBench. URL: http://eembc.org/benchmark/digital_entertainment_sl.php.
 6. Специализированный набор тестов для задач автомобильной и промышленной электроники, AutoBench URL: http://eembc.org/benchmark/automotive_sl.php.
 7. Характеризация тестов EEMBC. URL: <http://eembc.org/benchmark/characterization.pdf>.
 8. Тест Си-компиляторов для ARM (RAISONANCE Application Note 52), PDF файл. URL: <http://raisonance.com/tzr/scripts/downloader2.php?filename=T020/media/07/c9/1kmm1akx6gr&mime=application/pdf&originalname=AN0052-ARM-C-Benchmark.pdf&moid=97>.
 9. Dhrystone Benchmarking for ARM Cortex Processor (ARM Application Note 273). URL: http://infocenter.arm.com/help/topic/com.arm.doc.dai0273a/DAI0273A_dhrystone_benchmarking.pdf.
 10. Microlib: библиотека для встроенных приложений. URL: <http://www.keil.com/arm/microlib.asp>.
 11. Документация по компилятору gcc. Тестирование компилятора – Testsuits. URL: <http://gcc.gnu.org/onlinedocs/gccint/Testsuites.html#Testsuites>.
 12. Программный пакет "The Plum Hall Validation Suite for C". URL: <http://www.plumhall.com/stec.html>.
 13. Программный пакет "SuperTest compiler test and validation suite". URL: <http://www.ace.nl/compiler/supertest-compiler-test-and-validation-suite>.
 14. Compiler validation, wiki-страница компании Texas Instruments. URL: http://processors.wiki.ti.com/index.php/Compiler_Validation.
 15. Сайт компании KM211. URL: <http://www.km211.com>.
 16. Проект SorceyCodeBench, страница загрузки. URL: <http://www.mentor.com/embedded-software/sorcey-tools/sorcey-codebench/evaluations>.
 17. Средства компиляции компании Keil для процессоров ARM. URL: <http://www.keil.com/arm/realview.asp#compiler>.
 18. Страница загрузки Code Density Compare Tool, Дизайн Центр KM211. URL: <http://www.km211.com/ru/downloads>.

ЛИТЕРАТУРА

1. Синтетический тест производительности Whetstone, Материал из Википедии. URL: [http://en.wikipedia.org/wiki/Whetstone_\(benchmark\)](http://en.wikipedia.org/wiki/Whetstone_(benchmark)).

СОВРЕМЕННОЕ СОСТОЯНИЕ РАЗРАБОТОК В ОБЛАСТИ ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТИ ТИПА РСМ

► Г.Я.Красников, Н.А.Зайцев, А.Г.Красников, Ю.И.Плотников

Рассмотрено состояние дел в области создания энергонезависимой памяти на основе фазового перехода в халькогенидных стеклах как альтернативы флеш-памяти. Показано, что, несмотря на значительные преимущества РСМ-памяти (в первую очередь – по длительности хранения информации, числу допустимых циклов перезаписи, высокой радиационной стойкости и началу ее практического использования), технология РСМ до сих пор остается "перспективной технологией".

CONTEMPORARY SITUATION IN THE FIELD OF NON-VOLATILE MEMORY DEVELOPMENT

G. Ya. Krasnikov, N. A. Zaytsev, A. G. Krasnikov, Y. I. Plotnikov

Due to digital devices capabilities to store and transmit data the demand for compact information storage modules grows permanently. In particular just sales of SSD-disc fabricated with mostly developed flash-memory process is expected to grow from 31.1 million USD in 2012 up to 227.1 million USD in 2017. However despite high growth ratio and high volume manufacturing flash-memory devices have low rate of information writing, insufficient information rewrite cycle numbers, low radiation resistance and no more further memory cell dimension shrinking.

Одна из основных целей современной микроэлектроники – уменьшение энергопотребления – определила постоянное увеличение спроса на компактные модули энергонезависимого хранения информации [1]. Так рост продаж только SSD-дисков, создаваемых по наиболее распространенной в настоящее время флеш-технологии, планируется увеличить с 31,1 млн. долл. в 2012 году до 227,1 млн. долл. в 2017 [1]. Рынок энергонезависимой памяти к 2019 году может достигнуть 78,3 млрд. долл. [2]. Однако, несмотря на высокие темпы роста и возрастающие объемы производства, устройства флеш-памяти, в которых информация хранится в виде заряда на плавающем затворе полевого транзистора, обладают низкой скоростью записи информации (10 000 нс для блока) [3], недостаточным количеством циклов ее перезаписи (10^4 – 10^5), низкой радиационной стойкостью. К тому же, флеш-технология практически исчерпала возможности

уменьшения геометрических размеров ячейки памяти.

В связи с этим весьма актуальным становится разработка и внедрение альтернативных принципов и устройств энергонезависимого хранения информации.

Одной из таких альтернатив являются устройства, основанные на фазовом переходе в халькогенидных стеклах (РСМ – Phase-change memory – память на основе фазового перехода).

В 1960 году Стэнфорд Овшинский из компании Energy Conversion Devices обнаружил, что при воздействии тепла стеклообразные вещества типа $\text{Ge}_2\text{Sb}_2\text{Te}_5$ могут переключаться между аморфным и кристаллическим состояниями, обладающими различными электрофизическим (проводимость) и оптическим (показатель преломления) свойствами. В сентябре 1966 года Овшинский получил первый патент, касающийся технологии фазового перехода, а патенты под номером 3448302 и 3571673,

выданные ему в 1969 и 1971 годах, ознаменовали появление первой устойчиво функционирующей памяти на основе фазового перехода [4, 5].

Суть эффекта заключается в следующем.

Высокоомная аморфная пленка халькогенидного стекла при нагреве выше температуры кристаллизации T_g переходит в кристаллическое состояние с низким сопротивлением – происходит запись информации. Стирание информации (возврат к аморфному состоянию) осуществляется нагревом пленки выше температуры плавления (T_{ga}) и быстрым охлаждением ($T_g < T_{ga}$). Аморфное состояние используется для представления двоичного 0, а кристаллическое представляет 1.

Дальнейшие исследования фазового перехода показали, что в процессе фазового перехода из аморфного состояния в кристаллическое халькогенидное стекло проходит два промежуточных частично кристаллических состояния, каждое из которых обладает своими электрофизическими свойствами, которые могут быть измерены при считывании, позволяя ячейке хранить не один, а два бита.

Изменение информации может осуществляться путем нагрева локальных областей пленки импульсом тока, что дает возможность создать полноценную матрицу памяти.

Как показали исследования с помощью метода рентгенофазового анализа, исходный синтезированный материал $Ge_2Sb_2Te_5$ представляет собой поликристаллическую смесь кубической и гексагональной фаз. Исходные тонкие пленки, полученные термическим испарением синтезированного материала $Ge_2Sb_2Te_5$, являются аморфными [2].

Что касается физики эффекта переключения, то до настоящего времени вопрос о природе этого явления остается открытым [2]. Известно лишь, что переход от полупроводниковой проводимости в аморфной фазе к проводимости металлического типа в гексагональной фазе происходит не за счет схлопывания запрещенной зоны, а за счет смещения уровня Ферми к потолку валентной зоны. Можно сказать, что это происходит за счет изменения ближнего порядка $Ge_2Sb_2Te_5$ при переходе, однако, конкретные причины или механизмы такого смещения уровня Ферми не установлены.

Тем не менее, в настоящее время ведущие мировые производители элементов памяти активно разрабатывают технологии производства PCM.

Первой стала выпускать небольшие партии радиационно-стойких схем для космических применений компания Ovonyx, основанная Овшинским

для внедрения своих работ. Интерес к PCM существенно возрос после 2000 года, когда стало ясно, что у флеш-памяти возникли проблемы с дальнейшим масштабированием за пределы 32 нм.

Лицензионные соглашения на использование технологии Овшинского приобрели ведущие изготовители запоминающих устройств: Intel, STMicroelectronics, Nanochip, Samsung, Qimonda, Hynix. Развивая технологию, в последнее время патенты на различные варианты PCM зарегистрировали Macronix, Toshiba, Hitachi, Renesas, Elpida, Sony, Matsushita, Mitsubishi, Infineon и др. На сегодня прототипы PCM продемонстрировали Samsung (512 Мб), IBM совместно с Macronix и Qimonda (у которых прототип с размером "запоминающего" островка 3×20 нм), а также совместно Intel и STMicroelectronics (128 Мб). В 2012 году серийное производство фазовой памяти для мобильных устройств первой в мире начала компания Micron Technology.

В мае 2014 года IBM показала хранилище на базе PCM-памяти [6], продемонстрировав, каким способом можно интегрировать память с фазовым переходом в иерархию твердотельных накопителей. Кроме того, производитель показал свой первый прототип платы, использующей PCM-память. Устройство названо в честь персонажа греческой мифологии Тесея.

Чем же память фазового перехода привлекает разработчиков?

Во-первых, PCM – весьма многообещающая технология с точки зрения военной и аэрокосмической областей, где радиация делает бессмысленным использование стандартной энергонезависимой памяти, как, например, флеш-память, которая использует для хранения информации удержание электронов на ловушках диэлектрика.

PCM-устройства, получившие название C-RAM, были представлены военной корпорацией BAE Systems [7], причем было заявлено о великолепной стойкости к радиационному излучению и неподверженности к latchup-эффекту. Более того, BAE заявляла о выдерживании порядка 10^8 циклов записи, что делает эту разработку претендентом на замену PROM- и EEPROM-чипов в космических системах.

Во-вторых, PCM существенно выигрывает у флеш-памяти по надежности хранения информации. Если NAND-чипы поддерживают порядка 10–100 тыс. циклов перезаписи, то для PCM этот показатель может составлять 10 млн. и даже

во много раз больше при использовании кода с коррекцией ошибок [8].

Информация в элементах памяти PCM может храниться весьма длительное время. Так, при нормальной рабочей температуре в 85°C предполагается хранение данных сроком более 300 лет [9].

В-третьих, к достоинствам PCM можно отнести сочетание высокой производительности, почти такой же, как у DRAM, с энергонезависимостью флеш-памяти.

В общем случае используемое время кристаллизации составляет порядка 100 нс [10]. Запись в ячейку состояния "нуля" составляет 70 нс, а "единицы" – 120 нс.

Это несколько дольше, чем у обычной энергозависимой памяти, как, например, современные DRAM-чипы, чье время переключения составляет порядка двух наносекунд. Однако, в январе 2006 года корпорация Samsung Electronics запатентовала технологию, свидетельствующую о том, что PRAM может достигать времени переключения в пять наносекунд.

Общее время записи для распространенных флеш-устройств составляет порядка 1 мс (для блока данных).

IBM провела сравнение на системном уровне SSD-накопителей и своей PCI Express-карты на основе PCM-памяти. Как оказалось, твердотельный накопитель корпоративного класса в 12 раз проигрывает по скорости новинке. SSD потребительского класса уступает PCM-памяти в 275 раз [11]. IBM предлагает использовать PCM на всех уровнях иерархии памяти, что позволит повысить общую производительность системы [12].

Конструкции и способы создания устройств PCM-памяти постоянно совершенствуются.

Так, использование двух промежуточных частично кристаллических состояний позволило компаниям Intel и STMicroelectronics в феврале 2008 года продемонстрировать первый прототип многоуровневого (MLC) PCM-массива. В 128 Мбит физической памяти в этом прототипе хранились 256 Мбит эффективной памяти [13].

Исследователи из University of Pennsylvania (США) предприняли попытку создать запоминающее устройство на основе нанотрубок из $\text{Ge}_2\text{Sb}_2\text{Te}_5$. Нанотрубки изготавливались методом самосборки при кристаллизации на кремниевой подложке химических реактивов при низкой температуре в присутствии металлического катализатора. Сопrotивление нанотрубок в кристаллической фазе было низким (12,5 кОм), а в аморфной – высоким

(1,6 МОм). Запись данных (перевод нанотрубок из кристаллического состояния в аморфное) осуществляли приложением короткого электрического импульса (0,4 мА, 100 нс). Для стирания данных прикладывали другой импульс с меньшей амплитудой (0,14 мА), но с большей длительностью (300 нс). Мощность, необходимая для фазовой перестройки в случае нанотрубок, была в 10 раз меньше, чем в "фазовой" памяти, прототипы которой выпускаются компаниями в настоящее время. Запись и считывание можно осуществлять с очень большими скоростями (менее 50 нс) и при чрезвычайно низкой потребляемой мощности (0,7 мВт) [14, 15].

Вариант PCM-памяти на нанотрубках, которая способна сохранять троичные значения (0, 1 и 2) вместо повсеместно используемых двоичных (0 и 1) значений, описан в журнале Nano Letters [16].

Используемая нанотрубка состоит из двух цилиндрических полупроводников, соосно вставленных друг в друга. Внутренний цилиндр (ядро) сделан из комбинации германия, сурьмы и теллура, а внешний (оболочка) из теллурида германия.

Воздействие на структуру импульсного электрического поля вызывает фазовый переход в нанотрубках. При этом возможны три варианта состояния структуры:

- ядро и оболочка одновременно находятся в кристаллическом состоянии;
- ядро и оболочка одновременно находятся в аморфном состоянии;
- один из элементов структуры (ядро или оболочка) находится в кристаллическом состоянии, а другой (оболочка или ядро соответственно) – в аморфном.

Эти три состояния соответствуют трем различным уровням электрического напряжения. Низкое напряжение возникает в том случае, если и ядро, и оболочка аморфны и соответствуют значению 1. Высокое напряжение возникает, когда оба элемента структуры кристаллизованы и соответствуют значению 0. Таким образом, состояния структуры, в которых фазовый состав обоих ее элементов одинаков, определяют два (0 и 1) из трех значений трита (Trinity digit) – троичной цифры. Третье состояние, характеризующееся промежуточным уровнем напряжения, соответствует последнему значению трита (2).

Если исходить из оценки, что 32 бита соответствуют 20 тритам, а одна нанотрубка может кодировать один бит или один трит, то при использовании троичной логики можно записать на одинаковое

количество трубок большой объем информации. Или же сократить площадь физического носителя, сохраняя тот же самый объем информации, что и на устройстве, использующем двоичную логику, то есть количество записанной информации увеличивается как минимум на 60%, а площадь носителя сокращается на 37%.

Таким образом, использование троичной формы сохранения информации может привести к существенному увеличению плотности записи и удешевлению носителей. Более того, изготовить матрицу из небольшого количества нанотрубок гораздо проще, а приборы, в которых они будут использоваться, станут гораздо компактнее.

Компания Nanochip, один из лидеров в производстве схем памяти, предложила интересное конструктивное решение с использованием для записи/считывания информации матрицы из миллионов электрических нанозондов. В качестве запоминающей среды разработчики использовали тонкие халькогенидные пленки, а для микроперемещения матрицы зондов применили устройство Hewlett-Packard, позволяющее позиционировать зонды на подложке с точностью 3 нм. В перспективе такая конструкция позволит создать память с емкостью до десятков терабит [2, 17].

Nanochip планировала начать поставлять первые прототипы с емкостью 100 Гбайт для потребителей в 2009 году, а приступить к массовому производству в 2010 году. Предполагалось, что для прототипа 100 Гб чипа, планировавшегося к поставкам в 2010 году, размер ячейки для хранения бита составит $15 \times 15 \text{ нм}^2$, а для потенциальных чипов емкостью 1 Тбайт – $2 \times 3 \text{ нм}^2$. По предварительным оценкам, компания рассчитывала удваивать емкость ЗУ на чипе каждый год за счет улучшения качества запоминающей среды и увеличения числа кантилеверов в считывающей головке. К 2019–2020 годам планировался выпуск микросхемы емкостью до 10^{12} бит/квадратный дюйм.

Однако данных о серийном выпуске подобных схем обнаружить не удалось.

Наряду с достоинствами, РСМ-память имеет и достаточно серьезные недостатки.

Первый из них – необходимость передачи энергии для нагрева элементов памяти до нескольких сотен градусов Цельсия, на что уходит значительное количество энергии, хотя с уменьшением размеров устройств на основе РСМ уровень потребляемой мощности будет снижаться.

Этот недостаток частично компенсируется тем, что плотность размещения элементов хранения

очень высока: всего несколько атомов нужно для создания ячейки, способной менять состояние с кристаллического на аморфное. Специалисты считают, что реальным значением является 5 нм, что почти в 10 раз меньше, чем во флеш-памяти.

С другой стороны, уменьшение размеров рабочего элемента приводит к снижению стабильности состояния материала. Поэтому пока скорость переключения в 10–100 раз медленнее теоретического потенциала 1 нс.

Время жизни чипа PRAM ограничено механизмами, вроде деградации из-за расширения GST при нагревании во время программирования, смещения металлов (и других материалов), а также пока еще неисследованных факторов.

Сегодняшняя задача инженеров – достижение оптимального соотношения скорости и стабильности.

Благодаря своим характеристикам РСМ-память может заменить не только флеш-память, но и современные накопители на основе жестких магнитных дисков, динамическую и статическую оперативную память, а также радиационно-стойкую память специального назначения.

Рассмотрим, как изменяется сопротивление пленки халькогенидного стекла в процессе фазового перехода.

На пленку толщиной L , находящуюся в аморфном состоянии, подадим напряжение V . Если приложенное электрическое поле меньше 10^4 В/см , то сопротивление пленки остается практически постоянным. При увеличении приложенного напряжения сопротивление пленки монотонно уменьшается. Когда приложенное напряжение достигает порогового значения (напряжения прямого перехода) V_{th} (рис. 1), при котором выделяющейся в ячейке мощности $P = V_{th}^2/R$ хватает для ее разогрева до температуры кристаллизации T_g . После некоторого времени задержки t_d , происходит переход в проводящее состояние. Переход происходит за время собственного переключения t_{sw} и сопровождается быстрым ростом тока от I_{th} до I_{on} (рис. 1) [2].

Время задержки t_d зависит от толщины пленки и может изменяться от наносекунд для пленок нанометровой толщины до сотен микросекунд для пленок толщиной в несколько десятков микрон. Кроме того, время задержки быстро уменьшается при увеличении приложенного напряжения. Время собственного переключения t_{sw} (switching time) очень мало, согласно оценкам Овшинского $t_{sw} < 10^{-10}$ секунды.

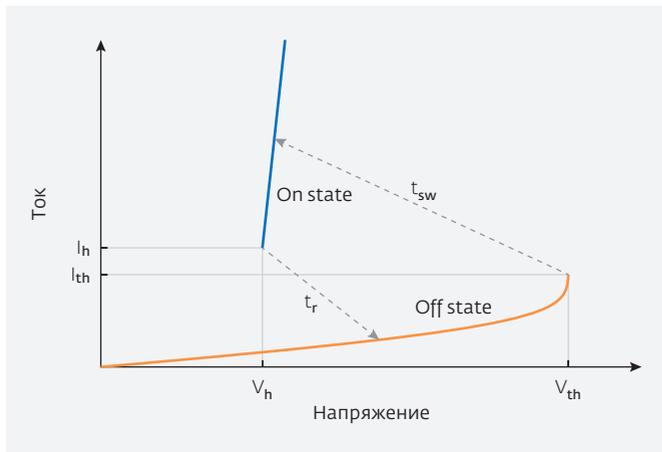


Рис.1. Схематическое изображение нелинейной ВАХ халькогенидов в сильных электрических полях с эффектом переключения

Обратный переход из кристаллического состояния в аморфное осуществляется напряжением V_h , разогревающим элемент до температуры плавления T_{ga} .

Рассмотрим пленку халькогенида в диэлектрическом состоянии. В этом случае энергия удаления электрона из вещества в вакуум E_B определяется энергией отрыва электрона из поляризационной среды (E_B), образовавшейся сразу после удаления электрона от атома вещества, и энергией фазового скачка на границе вещество-вакуум (E_{II}). Энергия E_{II} называется энергией поляризации и определяется как:

$$E_n = (q_1 q_2 (1 - 1/\epsilon^* r_n)) / 2r_n. \quad (1)$$

В общем случае величина диэлектрической проницаемости среды зависит от ее состояния между заряженными частицами ($q_1 q_2$), поэтому надо говорить об эффективном ее значении ϵ^* . Энергия ионизации атома в среде ϵ^* будет отличаться от энергии поляризации в вакууме на величину E_{II} .

Для веществ с частично ионной связью выход на поверхность ионов одного знака способствует увеличению E_{Φ} , однако при этом резко увеличивается поверхностная энергия, которая ограничивает E_{Φ} . Компромисс в этом случае достигается за счет того, что поверхностный слой вещества состоит в основном из ионов различных знаков, либо происходит перестройка диэлектрической области.

Рассмотрим перенос электрона в полярной (поляризованной) среде. Для того чтобы изменить энергию

электрона в полярной среде, необходимо изменить конфигурацию (структуру) этой среды, то есть изменить ее структурный и/или фазовый состав. В этом случае перенос электрона можно осуществить в три этапа.

1. Предварительная поляризация среды, которая сдвигает энергетический уровень от E_{ox} к некоторому (неопределенному) E . Для того чтобы это осуществить, необходимо затратить энергию

$$\Delta E_p = \gamma^2 \lambda, \quad (2)$$

где ΔE_p – энергия уровня в поляризованной среде; γ – величина поляризации; λ – энергия перестройки полярной среды;

$$\lambda = \left(\frac{e^2}{8\pi\epsilon_0 a} \right) \cdot (\chi_{op}^{-1} - \chi_s^{-1}), \quad (3)$$

где a – радиус поля, χ_{op}, χ_s оптическая и статическая проницаемости среды; ϵ_0 – диэлектрическая проницаемость вакуума.

2. В результате структурной перестройки происходит изменение энергии электрона, сопровождающееся его выходом из твердого тела на поверхность. В результате высвобождается энергия $E_{cs} - E$, где E_{cs} – энергия дна зоны проводимости на поверхности.
3. В результате второго этапа происходит релаксация неравновесной структуры к ее новому состоянию. При этой перестройке выделяется энергия $(1-\gamma)^2 \lambda$.

Суммируя три этапа, можно констатировать, что полное изменение энергии (Δ), необходимое для переноса электрона на поверхностный центр, можно записать следующим образом:

$$\Delta = \gamma_i 2\lambda - (1 - \gamma_i)^2 \lambda + E - E_{cs}. \quad (4)$$

Рассмотрим более подробно второй этап. Скорость изменения концентрации электронов n_t на поверхностных состояниях за счет перестройки поляризованной среды:

$$dn_t / dt = K_n [n_s (N_t - n_t) - n_t n_i], \quad (5)$$

где n_t – концентрация электронов на поверхностных состояниях;

N_t – плотность поверхностных состояний;

n_i – постоянная скорость возбуждения электронов;

K_n – постоянная скорость захвата электронов на поверхностных состояниях;

Таблица

	MRAM	FeRAM	PCM
Физический способ хранения информации	При помощи магнитных моментов	При помощи электрических дипольных моментов	При помощи фазовых состояний с разной проводимостью
Размер ячейки λ^2	Большой $\sim 40 \times 20$	Большой ~ 25	Малый $\sim 12 \times 6$
Использование в микросхемах CMOS	$< 200^\circ\text{C}$ – остаточное намагничивание. Трудно управлять MJT	Железо окисляется водородом. Травление железа затруднено	Совместима с обработкой металлов на последних стадиях производства микросхем CMOS
Чтение	Неразрушающее, быстрое, с низким энергопотреблением	Разрушающее: возможно только ограниченное число циклов чтения	Неразрушающее, умеренная скорость, недостаточные возможности масштабирования
Запись	Ограничена мощностью, недостаточные возможности масштабирования	Низкая мощность записи. Теоретически высокая скорость	Ограничена мощностью, улучшение при масштабировании
Количество циклов	Теоретически неограниченное	$1e-8 \times 1e12$; заявлено, но недостаточно данных	$\sim 1e12$; заявлено, но недостаточно данных
Масштабируемость	При масштабировании ток записи увеличивается	Размеры трехмерной ячейки должны быть меньше 90 нм. Для масштабирования элементов необходима разработка материалов	Не требуется новых материалов, неизвестно физических ограничений до ~ 5 нм
Применения	Встраиваемая память. Оперативная память. Низкая плотность	Встраиваемая память. Низкое энергопотребление. Низкая плотность	Автономная или встраиваемая память. Высокая плотность. Низкая стоимость

n_s – концентрация электронов в зоне проводимости на поверхности;

$$n_s = N_e \exp[-(E_{cs} - E_F)/kT], \quad (6)$$

где N_e – эффективная плотность состояний в зоне проводимости;

$$E_{cs} = E_c + eV_s, \quad (7)$$

где V_s – величина изгиба энергетических зон на поверхности.

Здесь первый справа член уравнения описывает скорость переноса электронов на поверхностные состояния, а второй – скорость инжекции электронов.

Предполагается, что в аморфной фазе существует некоторая концентрация кристаллических зародышей. Положение границы валентной зоны

в кристаллических и аморфных слоях смещено примерно на 0,4 эВ, поэтому на границе фаз возникает поверхностный заряд по сравнению с наиболее распространенной сегодня флеш-памятью. Поэтому память с изменяемым фазовым состоянием имеет значительно более высокую скорость записи.

В заключение приведем сравнительную таблицу параметров наиболее перспективных на сегодня типов памяти.

Таким образом, можно сделать вывод, что по совокупности характеристик РСМ-память является наиболее перспективной.

Однако, несмотря на то что РСМ-чипы выпускаются с 2012 года, до сих пор реальных примеров внедрения очень мало.

Станут ли РСМ мейнстримом или его частью? Al Fazio, руководитель разработок запоминающих устройств компании Intel, говорит: "Фазовая память? Возможно! Но трудности остаются. В ближайшие несколько лет мейнстримом останется полупроводниковая флеш-память. РСМ все еще относится к категории "будущих технологий" [18].

ЛИТЕРАТУРА

1. **Козихин С.А., Шерченков А.А.** Перспективы применения халькогенидных сплавов в элементах фазовой памяти // Приложение к журналу "Вестник РГРТУ". 2009. № 4.
2. **Шурыгина В.** Энергонезависимая память. Кто победит в гонке? Ч. 2 // ЭЛЕКТРОНИКА: НТБ. 2008. № 6. С. 36-47.
3. **Богословский Н.А., Цендин К.Д.** Физика эффек-тов переключения памяти в халькогенидных стеклообразных полупроводниках // ФТИ. 2012. Т. 46. С. 577-589.
4. US-Patent 3448302: Schaltung für Phase Change RAM. 16.6.1966 - > 3.6.1969.
5. US-Patent: 3571673 elektrisch löschrbares Phase Change RAM. Ovshinsky et al. 22.8.1968 - > 23.3.1971.
6. <http://www.3dnews.ru/819996>.
7. <http://www.baesystems.com>.
8. Capa.me/138708-ibm-pcm.html.
9. **Pirovano A., Redaelli A., Pellizzer F., Ottogalli F., Tosi M., Ielmini D., Lacaíta A.L., Bez R.** Reliability study of phase-change nonvolatile memories // IEEE Transactions on Device and Materials Reliability. - Sept. 2004. Vol. 4. Issue 3. P. 422-427. ISSN 1530-4388.
10. **Horii H. et al.**, 2003 Symposium on VLSI Technology, 177-178 (2003).
11. <http://habrahabr.ru/company/ibm/blog/223053>.
12. www.eetimes.com/search.asp.
13. A Memory Breakthrough, Kate Greene, Technology Review, 04-Feb-2008.
14. <http://www.technologyreview.com/news/409482/a-memory-breakthrough>.
15. Materials Today, 10, no 11, 13, (2007).
16. ПепсТ. 2008. Т. 15. Вып. 3. С. 7-8.
17. <http://pubs.acs.org/action/doSearch?text1=PCM&=&field1=AllField&type=within&publication=40026042>.
18. <http://www.eetimes.com/news/semi/showArticle.jhtml?articleID=205907607>.
19. <http://www.semiconductor.net/article/CA6516457.html?desc=topstory>.

АНАЛИЗ КОНЦЕПЦИЙ НЕКЛАССИЧЕСКОГО КОМПЬЮТИНГА И ПАРАДИГМЫ КОННЕКЦИОНИЗМА

► Е.С.Горнев, И.В.Матюшкин, Г.С.Теплов

В данной статье представлен анализ неклассических моделей компьютеринга, отличных от моделей на основе машины Тьюринга. Рассмотрена парадигма коннекционизма с точки зрения современной интерпретации. Впервые обсуждается абстрактная модель вычислений, описанная в терминах теории множеств. На основе абстрактной модели предложена коннекционистская модель вычислений.

NON-CLASSICAL COMPUTING CONCEPTS AND CONNECTIONISM PARADIGM ANALYSIS.

E.S.Gornev, I.V.Matyushkin, G.S.Teplov

This paper provides analysis of non-classical computing models different from models based on Turing machine. Connectionism paradigm is reviewed with modern interpretation point of view. For the first time abstract model of computation discussed within set Theory terms. Based on said abstract model Connectionist computing model is proposed.

Экстенсивный путь развития компьютеров, связанный с непрерывным повышением тактовой частоты и уменьшением проектной нормы интегральных микросхем, исчерпал себя, столкнувшись с экспоненциальным возрастанием тепловыделения. Так, плотность теплового потока от самого мощного суперкомпьютера Tianhe-2 составляет 17808 МВт, при этом он имеет 3 120 000 ядер и производительность в 33,86 Пфлоп/с [1]. Общая тенденция к переходу на новые литографические процессы, например переход компанией Intel на процесс 22 нм для процессора Core i7-3770K, несмотря на общее снижение энергопотребления, приводит к увеличению выделения тепла на единицу площади кристалла. Тактовая частота переключений возрастает и составляет для мощных вычислительных систем в диапазоне 2-4 ГГц. Становится очевидной неизбежность смены парадигмы вычислений (компьютинга).

Поэтому все большую актуальность приобретает системное рассмотрение имеющихся альтернатив классическому компьютерингу фон Неймана (п.1-3) и уточнение понятия "модель вычислений" (МС – model of computation, англ.) (п.5), что и составляет предмет данной статьи. Кроме того, особый акцент мы поставим на анализе парадигмы коннекционизма (п.4).

Если рассуждать отвлеченно, причины создания новой модели вычислений могут быть следующими:

- необходимость количественного улучшения как показателей результата, так и самого процесса вычисления;
- необходимость качественного (по принципу: есть и нет) улучшения как показателей результата, так и процесса вычисления;
- необходимость удешевления процесса вычислений;
- необходимость решения задач, не решаемых эффективно в пределах существующих моделей;
- появление нового класса вычислителей, новых аппаратно-технических решений.

Показательными примерами для количественных улучшений являются такие показатели как скорость, точность, снижение вероятности ошибки и т.п. Для классических алгоритмов это может быть максимальный или же минимальный порядковые разряды для позиционных систем счисления. При использовании вероятностной модели вычислений (например, недетерминированный конечный автомат), где вычислительный процесс не гарантирует верный результат с первого раза, это может быть вероятность получения верного ответа после завершения нескольких однотипных вычислений.

Качественными улучшениями могут считаться троичность логики, обратимость вычислений, представление сложных чисел в виде произведения простых или, для вещественных, в виде цепной дроби. Важно трактовать это не как особенности одного алгоритма, а как особенности вычислителя.

Снижение энергопотребления, снижение выделения тепла, снижение затрат оперативной памяти, снижение времени технического обслуживания, снижение времени программирования алгоритмов, снижение затрат на ренижиниринг – все это удешевляет в конечном счете вычисление (компьютинг). Задачи классификации изображений, идентификации образов и определения контекста не могли быть решены существующими средствами классической модели. Идентификация образов уже напрямую используется в технике и примерами могут служить функции в современных фотоаппаратах, обеспечивающие поиск улыбки или же поиск лица. Определение контекста напрямую необходимо для систем автоматизированного перевода и уже реализована в целом ряде специальных программ-переводчиков (например, Web сервиса у Google). Классификация изображений активно используется поисковыми системами. Это направление интересно и для военных, результатом чего является канонический пример составления неправильной обучающей выборки для искусственных нейронных сетей в задаче классификации модели танка по его фотографии. Примерами могут служить экспертные системы, системы обработки информации в режиме реального времени, системы нечеткой логики.

Новая элементная база вычислительных систем может сделать более удобными аналоговые вычисления по сравнению с дискретными (обратное имело место быть на заре истории современных ЭВМ). Или, допустим, техническая реализация логического элемента будет предполагать три состояния, что автоматически сделает троичную систему логики более выгодной по сравнению с булевой. Иными словами, физические особенности вычислителя в определенной мере диктуют/специфицируют применяемую на практике МС. При этом, разумеется, следует помнить и обратное, что МС в значительной степени автономна по отношению к вычислителю.

Когда мы говорим о неклассическом компьютеринге, то неявно предполагаем один из трех его аспектов:

- физический, то есть какие новые физические процессы мы используем для внедрения классических логических операций (оптика, магнитное взаимодействие, биохимические реакции и т.д.);

- архитектурный, то есть как должен быть спроектирован вычислитель (кэш процессора, многоядерность, многопоточность, использование графических ускорителей, нейроподобные вычисления и т.д.);
- функциональный, то есть связанный с применением неклассической модели вычислений и новыми понятиями в компьютеринге.

При этом на практике первый аспект часто связан со вторым, а второй – с третьим. Проводимое ниже разделение направлений на аспекты во многом условно, так, например, квантовый компьютеринг требует применения инноваций во всех трех аспектах.

1. ФИЗИЧЕСКИЙ АСПЕКТ КОМПЬЮТИНГА

Физический аспект вычислений затрагивает не только процессы, но и структуру элементов памяти. Что физически соответствует биту и что является носителем и средой распространения информационного сигнала? В рамках даже кремниевой электроники существует множество вариантов, поэтому мы выбрали для анализа наиболее резко отличающиеся направления: биохимическое и оптическое. Стоит, однако, упомянуть еще о спинтронике и квантовых компьютерах, где кубит основан на спине ядра атома. Квантовые компьютеры отнесены нами к архитектурному аспекту.

ДНК-вычисления

Первая идея ДНК-вычислений была выдвинута в 1963 году. Причиной заинтересованности в вычислениях подобного рода является возможность распараллеливания вычислений. Парадигма позволяет обрабатывать огромное количество вариантов одновременно, что дает ей огромное преимущество в задачах комбинаторики. Первый удачный опыт в ДНК-вычислениях принадлежит Леонарду Эдлману [2]. Опыт был проведен в 1994 году и заключался в демонстрации вычисления с помощью ДНК гамильтонова пути в графе из 7 городов. Задача формулируется следующим образом: существует ли в данном направленном графе G , в котором выделена начальная и конечная вершины, гамильтонов путь, то есть путь, который проходит через каждую вершину один раз.

Эдлман закодировал в виде последовательности из 20 нуклеотидов названия городов. Ребра кодируются так: берутся вторая половина цепочки для начальной вершины и первая половина цепочки для конечной вершины, эти цепочки соединяются

в одну, затем берется комплементарная к полученной цепочке последовательность нуклеотидов, которой и кодируется соответствующее ребро графа. Элементарный объем реакционной среды содержит три молекулы, кодирующие соответственно два различных ребра u_{ji} , u_{jk} и общую для них вершину v_j . Тогда произойдет соединение этих молекул в одну длинную цепочку u_{ik} , кодирующую путь из вершины i в вершину k . Полученная цепочка будет способна соединяться с другой подходящей цепочкой, кодирующей вершину или другой фрагмент пути на графе. В ходе опыта сначала синтезируются цепочки, которые кодируют ребра и вершины графа, затем они в необходимом количестве запускаются в реакционную среду. Через некоторое время в среде образуются молекулы, которые соответствуют всем возможным путям на графе. Далее вопрос только в том, чтобы отыскать среди всех возможных путей гамильтонов путь, что и делается при помощи фильтрации. Опыт Эдлмана продолжался 7 дней, больше всего времени ушло на процедуру фильтрации. В качестве программного обеспечения выступала последовательность реакций, задаваемая человеком. Алгоритм требовал предварительной подготовки и расчетов по определению последовательностей нуклеотидов для применения в реакциях.

В основе модели лежит представление об информации как о символьных строках. Видоизменяя исходную строку путем ряда химических операций, достигается получение измененной символьной строки на выходе. В качестве строк используются двойные молекулярные цепочки ДНК. Элементарные преобразования с ДНК выполняются физически посредством ферментов, под действием которых над последовательностями нуклеотидов, представляющих собой данные, происходят следующие преобразования [3]:

- *удлинение и дополнение цепочек.* Фактически предназначена для получения заданной или искомой последовательности;
- *укорочение и разрезание.* Операции над обрабатываемыми последовательностями символов. По сути, обратны операциям удлинения и дополнения;
- *сшивка* – операция, предназначенная для объединения цепочек, для соединения одноцепочечных молекул. Действующие ферменты лигазы;
- *модификация* – исключает молекулу из операций. В реакции используются модифицирующие ферменты метилазы и фосфатазы. После реакции модификации над молекулой исключается возможность ее разрезания;

- *секвенирование.* Определение последовательности нуклеотидов. Существующие методы позволяют определять цепочки длиной не более 350 нуклеотидов. Для более сложных цепочек используются предварительные реакции разрезания;
- *Гель-электрофорез.* Реакция предназначена для определения длины цепочек. Происходит под действием электрического поля, приложенного к молекулам ДНК, содержащимся в геле. Чем меньше молекула, тем выше скорость. Как только первые молекулы достигают анода, процесс прекращают. После чего происходит сравнение с цепочками ДНК, имеющими заранее известную длину, для определения размера.

ДНК-вычисления на основе модели фильтрации [4]. На первом шаге получают множество всех возможных результатов из молекул ДНК, далее с помощью набора последовательных операций, рассмотренных выше, определяют, содержится ли искомая последовательность. В случае наличия полимера в растворе молекула и является решением. Данная модель впервые была реализована в опыте Эдлмана. Впоследствии основные идеи данной модели легли в основу биокомпьютера, разработанного группой Шапиро в 2001 году. Группа реализовала конечный автомат (рис.1), который мог определять четность подающихся на него символов.

Автомат может находиться в двух состояниях – S_0 и S_1 . Алфавит автомата состоит из двух символов – a и b . На вход автомату подается последовательность символов a и b . Отметим, что каждый шаг работы автомата выполняется за два "молекулярных шага": к закодированной входной последовательности присоединяется нужный переход, образовавшиеся насечки закрываются посредством действия лигазы, затем необходимо отделить от полученной цепочки ненужную часть так, чтобы конец оставшейся цепочки кодировал следующее "полное" состояние автомата: следующий входной символ и собственно состояние. Это и происходит при помощи рестриктазы. Для того чтобы рестриктаза работала корректно, необходимо так закодировать переходы, чтобы они содержали в себе сайты узнавания – точку отсчета для рестриктазы. В конце входной цепочки располагается символ – терминатор T . По окончании работы автомата получается одна из молекул (S_0, T), или (S_1, T), к которой присоединяется одна из молекул – индикаторов конечного состояния, – различных по длине, что позволяет выяснить конечное состояние при помощи гель-электрофореза. Возможность выполнения автоматами Шапиро булевых функций показана в статье [5].

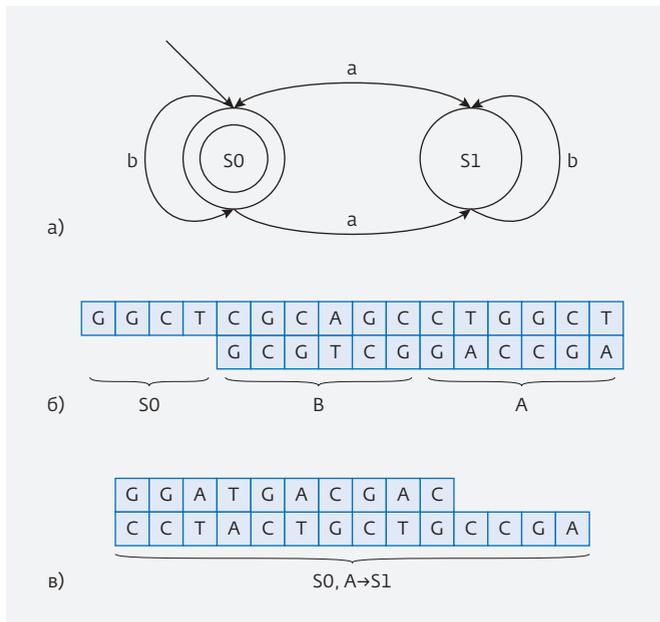


Рис.1. Конечный автомат Шапиро: а) схема конечного автомата; б) закодированные начальные данные; в) одна из четырех возможных команд перехода – единственная комплементарная к входным данным

ДНК-вычисления на основе плиточной (стикерной) модели. Данная модель проистекает из задачи поиска наборов фигур, которыми плоскость может быть покрыта только непериодическим образом. В основу лег эксперимент Э.Винфри [6]. Модель предусматривает реализацию клеточного автомата, где вычислитель состоит из клеток специальной формы (соединения оснований). Правила взаимодействия определяются формой клеток. Правило создания структуры чрезвычайно простое: во главу угла ставится плитка S, две оставшиеся граничные плитки выкладываются в направлении вверх и влево, затем справа налево ряд за рядом укладываются рабочие плитки. При этом укладывать плитку можно лишь в том случае, если уже уложены ее соседи снизу и справа. Результат показан на рис.2 и соответствует счетчику.

Проблемы. Размер молекулы аденина составляет 0,34 нм. Несмотря на столь малые размеры оснований для реализации всех состояний, в случае применения оснований ДНК в качестве дискретного состояния памяти, потребуется большой объем (для реализации, например, одного из четырех возможных состояний А, Т, С и G требуется применить все четыре основания, так как мы не знаем заранее, какой из нуклеотидов потребуется во время вычислений). При этом объем, необходимый для

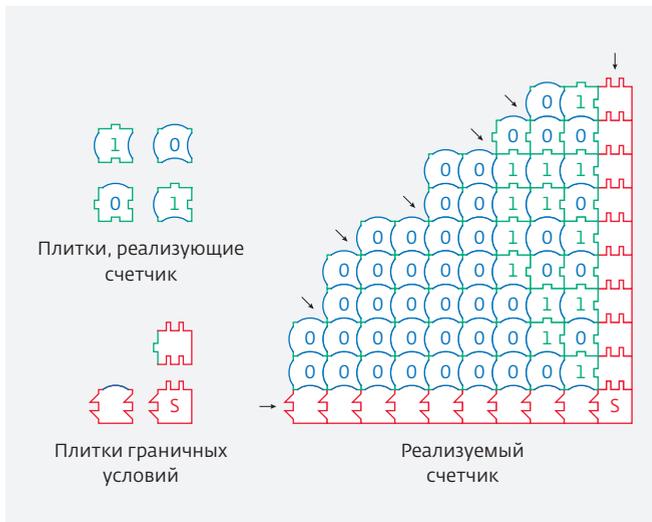


Рис.2. Пример реализации счетчика

реализации одного из возможных дискретных состояний в цепочке, будет увеличиваться пропорционально количеству используемых для представления информации ДНК-оснований. Сейчас общее количество, включая искусственно синтезированные ДНК основания, составляет восемь [7]. Само прохождение реакций (простейших операций) связано с использованием активаторов процессов: катализаторов, тепла (денатурация), электрического тока (гель-электрофорез) и всегда раствора. Протекание и подготовка реакций требует тщательного контроля, что не исключает ошибок в результатах расчетов. При этом секвенирование полимера, полученного в качестве результата, при его длине более 350 нуклеотидов связано с дополнительными трудностями [4]. Проблемным видится и процесс передачи записанной с помощью ДНК информации, что аналогично возвращению к почтовым перевозкам (де факто – падение быстродействия), что требует построения сложных гибридных систем, необходимых для реализации возможности считывания последовательностей (вступает в силу ограничение на считывание) и перевода их в передаваемый сигнал. Применение таких подходов как модель фильтрации ресурсоемко по времени, затрачиваемому на поиск искомой последовательности (см. ранее эксперимент Эдлмана). Этот существенный недостаток справедлив и для всей органической электроники.

Клеточные компьютеры

Это направление исследований относится к выполнению логических операций внутри искусственно

синтезированных клеток (биологических аналогов живой клетки), и его не стоит путать с клеточными автоматами. Развитие парадигмы стало возможным после 2001 года, когда американские ученые создали искусственные трансгенные организмы. Разработанные на сегодняшний день логические элементы рассматриваются в статье [8] и включают логические вентили "И", "ИЛИ" "XOR", "НЕ-И", "НЕ-ИЛИ" и "НЕ-XOR".

Биологическая клетка является процессором, выполняющим логические операции. В качестве операндов в нее подаются ферменты, результат вычислений – фермент на выходе. Так же неоспоримым преимуществом является относительная простота размножения вычислительных блоков в лабораторных условиях. Основным преимуществом, как и в ДНК-вычислениях, является самая высокая плотность записи из всех существующих на данный момент. На текущий момент ученые занимаются созданием бактерий, способных выполнять более сложные логические операции, и разработкой способов построения сложных процессов вычислений на их основе.

Проблемы. К минусам относятся все ранее перечисленные для ДНК-вычислений. Непосредственно для клеточных компьютеров существуют и свои специфические проблемы. Первая – это размер: средний размер прокариота (клетка без ядра) 0,5–10 мкм, размер эукариота (клетка с ядром, именно этот тип использовался [8]) 10–100 мкм, при этом современные транзисторы на порядок, а то и два превосходят данные показатели. Вторая проблема связана с возможными мутациями, которые будут приводить к нарушению процесса вычислений. Третья заключается в объединении существующих блоков в вычислительные модули. Сложность в данном случае представляет организация необходимой последовательности обработки данных вычислительными блоками (бактериями). Четвертая проблема состоит в считывании обработанной информации, которое требует специального лабораторного оборудования и по сложности сравнимо со считыванием информации при ДНК-вычислениях. С точки зрения вычислений, данное направление вызывает больше вопросов, чем дает ответов на поставленные вопросы.

Оптический компьютер

Исследования в области создания оптического компьютера относятся к классу физических реализаций вычислений и улучшений архитектуры систем. Под оптическим компьютером обычно понимается вычислительная система или

устройство, в основе которого лежит принцип применения в качестве носителя информации электромагнитного излучения [9]. Работы в данном направлении стали возможны после публикаций о способах создания квантовых генераторов на молекулах А.Прохорова, Н.Басова и использования вынужденного излучения для получения радиоволн миллиметрового диапазона Ч.Тануса (за что в 1964 г. они получили нобелевскую премию). На основе результатов работы стало возможно создание усилителей и квантовых генераторов. Метод голографии, разработанный лауреатом нобелевской премии Денишем Габором, позволяет производить запись и воспроизведение не только амплитуды, но и частоты электромагнитных волн. В простейшем случае электромагнитное излучение от когерентного источника (лазера) направляется на фотопластину и объект. Отраженное от объекта излучение, попадая на пластину, создает изображение на ней посредством химических реакций, протекающих при интерференции электромагнитных волн [10]. Предполагается создание компьютерной памяти основанной на голографическом методе. Начало разработок оптического компьютера датируется 1980-ми годами 20 века.

Первые демонстрационные образцы принадлежат фирме Bell (1990 г., [11]). В основе устройства использовались бистабильные полупроводниковые элементы, освещаемые лазером через оптическую решетку Даммена. Первый оптический компьютер занимал один квадратный метр и состоял из четырех каскадов, заканчивающихся жидkokристаллическими матрицами под управлением обычного компьютера. Следующим компьютером стал DOC-II (Digital Optical Computer). В качестве элементной базы использовались модулируемые оптические лазеры, матричный пространственный модулятор на основе брэгговских оптических ячеек (CaP) и фотодиоды. В качестве примера вычислений использовалось сравнение с компьютером Duron 1,6/256 MB/Win XP SP1. На поиск слова в документе Win Word, состоящем из 953 страниц текста, Duron тратит чуть больше трех секунд (а именно 3,175). В то время, как оптический компьютер DOC-II просматривает за одну секунду 80 000 страниц обычного ASCII-текста.

В настоящее время ведутся исследования, направленные на создание более совершенных систем. Примером может служить первый оптический DSP-процессор EnLight256 компании Lenslet. В основе оптического ядра процессора используются VCSEL лазеры (Vertical Cavity Surface Emitting Laser – лазер с вертикальным резонатором), пространственный

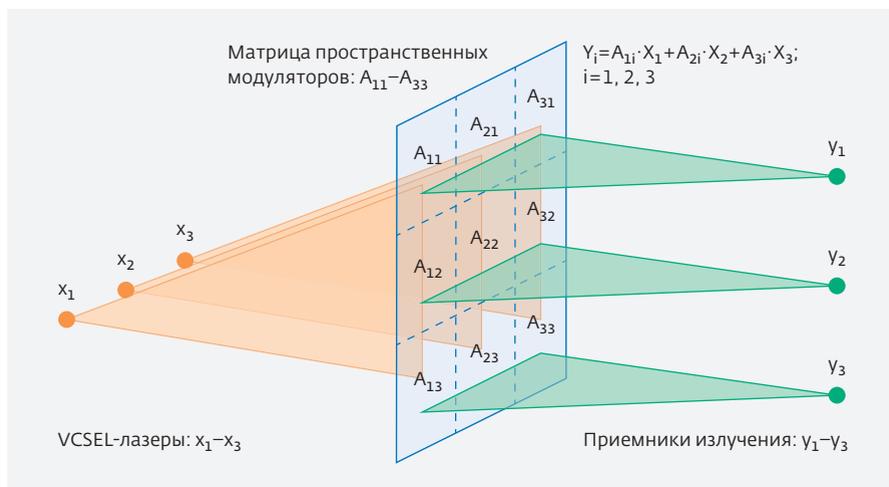


Рис.3. Выполнение вычислений в программируемой оптике (схема)

модулятор света, набор линз и оптическая матрица, состоящая из 256 приемников излучения. Длительность такта процессора составляет 8 нс. Лазеры осуществляют преобразование входных электрических сигналов в 256-элементный вектор, с объемом памяти 8 бит на элемент. Программируемая оптика выполняет операции со световым потоком с помощью полупроводниковых структур с квантовыми ямами образующих матрицу пространственных модуляторов разрешением 256×256 элементов. После обработки светового потока сигнал воспринимается приемниками излучения. Пример процесса показан на рис.3.

Создание логических оптических элементов ограничено длиной световой волны. Возможный выход за пределы длины световой волны – среды Веселаго (метаматериалы с отрицательными диэлектрической и магнитной проницаемостями). Плоские псевдолинзы, созданные на основе метаматериалов, должны отображать элементы с размерами, меньшими длины световой волны. Тем не менее логических элементов с применением этих сред пока не создано.

Проблемы. Вычислительные системы на основе оптики имеют ряд преимуществ перед электрическими. К ним относятся низкое тепловыделение и энергопотребление, а также возможность использования голографической обработки информации. К минусам можно отнести ограниченность снизу по длине световой волны (порядка сотен нм), используемой для представления информации. Следовательно, такое устройство, и практика это показывает, значительно больше в размерах. Еще одним существенным недостатком

является отсутствие в разработанных устройствах блоков оптической памяти, что не позволяет на текущий момент рассматривать оптический компьютер как полноценный. Фактически существующие компьютеры – это гибридные вычислительные системы, включающие элементы памяти и управления (а иногда и ввода-вывода), от классических ЭВМ и специальные оптические вычислители.

2. АРХИТЕКТУРНЫЙ АСПЕКТ

Говоря об архитектуре, мы прежде всего обращаемся к способу

коммутации сигналов и ячеек памяти, а также расположению процессорных элементов. В этой связи мы выделяем квантовые компьютеры, где система спинов функционирует как целое, а коммуникация использует квантово-механические принципы (прежде всего, распространение волновой функции элемента по всему объему компьютера). Также в рамках коннекционизма, о котором будет сказано далее, выделяем несколько близких направлений: нейронные сети, клеточные автоматы, сети.

Квантовые компьютеры

Впервые проблема создания квантового компьютера была затронута в 1982 году Р.Фейнманом в статье о моделировании квантово-механических процессов на вычислительных машинах [12]. Второй немаловажной проблемой, поднятой Фейнманом, стали вопросы, связанные с размерностью базовых элементов. Существующая тенденция на постоянное уменьшение элементов на кристалле в конечном итоге приведет к созданию этих элементов всего из нескольких атомов. На столь малых размерах законы классической физики, описывающие процессы, перестают действовать, и для описания необходимо применение формализма квантовой физики.

Формальная модель вычислимости квантового компьютера создавалась на основе машины Тьюрига. Первопроходцем в этом направлении стал П.Бениофф [13]. Идеи Бениоффа были переработаны и улучшены Дойчем, результатом чего стало усиление тезиса о вычислимости функции: "любой конечный физический процесс, не использующий аппарат, связанный с непрерывностью или

бесконечностью, может быть вычислен физическим устройством" (тезис Тьюрига-Черча-Дойча). МС базируется на следующих принципах:

- каждый разряд квантового регистра представляется в виде суммы вероятностей своих состояний в "0" и в "1" – кубита;
- все разряды находятся в состоянии квантовой запутанности. Под этим подразумевается, что изменение распределения вероятностей одного разряда может приводить к изменениям распределения вероятностей в остальных разрядах;
- считывание информации приводит к переходу из ее квантового состояния в классическое.

В тригонометрической форме состояние кубита может быть описано:

$$|\Psi\rangle = e^{iy} \left(\cos \frac{\theta}{2} |0\rangle + e^{i\varphi} \sin \frac{\theta}{2} |1\rangle \right),$$

где θ , φ , y – действительные числа.

Классическими примерами [14] эффективности квантовых вычислений являются алгоритмы Шора (1994), Говера, Дойча. Алгоритм Дойча предназначен для определения типа логической функции, применяемой к двоичному разряду. Работоспособность алгоритма Шора была продемонстрирована специалистами IBM в 2001 году. Говер разработал свой алгоритм для решения математической задачи перебора. Минимальным набором для осуществления всех квантовых алгоритмов является комбинация из операций на логическом венти́ле Тоффли и преобразовании Адамара [15]. Поэтому к архитектурному аспекту добавляется функциональный.

Проблемы. Основными физическими ограничениями при построении квантового компьютера являются: ограничение максимального обрабатываемого размера данных размерностью квантового регистра (количество используемых кубитов в регистре) и время когерентности системы (время поддержания состояния спутанности кубитов). Традиционные технологии при реализации квантовых компьютеров сталкиваются с проблемой нормализации и контроля температурного режима работы систем – данная проблема была решена недавно и не для всех подходов к реализации квантовых вычислений. По результатам тестирования существующего квантового компьютера D-wave 2 с регистром в 512 кубитов не было обнаружено ускорения в вычислениях по сравнению с обычными компьютерами [16]. При этом, ученые заявили о возможном существовании ускорения в вычислениях, но для других типов задач. Немаловажной проблемой является принципиальная неточность

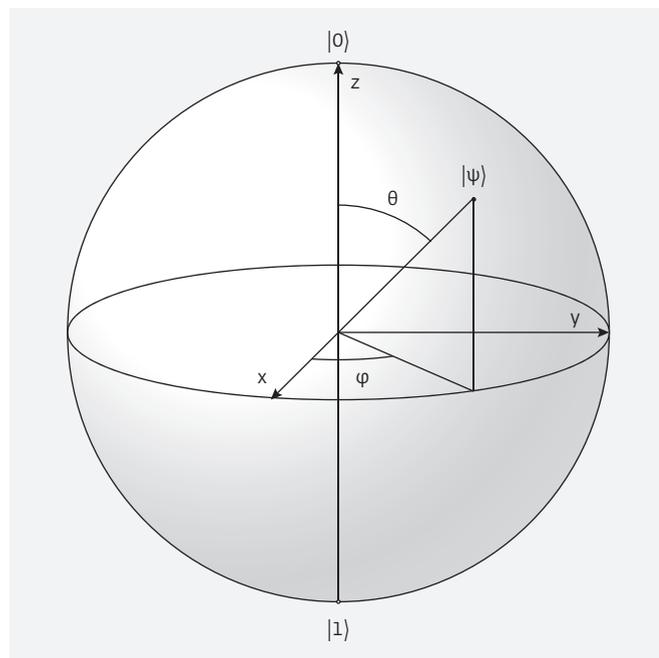


Рис.4. Отображение состояния кубита (сфера Блоха)

вычислений, так как все они носят вероятностный характер, что допустимо только при использовании данного подхода к вычислительным задачам высокой сложности, которые невозможно решить другими способами. Квантовый компьютер не может рассматриваться как альтернатива классическому, а может выступать только в качестве специального вычислителя для сверхсложных задач, будучи неэффективным при решении простых задач, или генератора случайных чисел.

Клеточные автоматы

Создателями концепции считаются Конрад Цузе (1969) и Джон фон Нейман (1952). Начало исследований датируется 1940-ми годами 20 века и инспирировано ранними работами по нейронным сетям [17]. Доказывая идею возможности существования самовоспроизводящегося автомата, Нейман столкнулся с рядом технических проблем, обусловленных инженерной сложностью такой системы. Станислав Улам [18] предложил абстрагироваться до математической модели и использовать метод, схожий с методом объяснения роста кристаллов. С этой целью пришлось объединить вычислительное устройство и данные, результатом этого стал первый клеточный автомат (СА). В это же десятилетие основоположники кибернетики Норберт Винер и Артуро Розенблют публикуют работу, где рассматривается распространение нервного импульса вместе с изложением нового

математического аппарата – клеточных автоматов [19]. В модели использовались три состояния нервных клеток: возбужденное (активное), рефрактерное* (расслабленное) и покоя. Рефрактерное состояние – состояние, в котором клетка не может быть возбуждена и передавать возбуждающие импульсы. Их модель базируется на следующих правилах:

- в качестве среды используется прямоугольное поле из клеток. Процесс начинается с произвольным количеством возбужденных клеток;
- возбуждению подлежит только невозбужденная клетка;
- через время t_1 возбужденные клетки переходят в состояние рефрактерности;
- через время t_2 рефрактерные клетки переходят в состояние покоя.

В 1969 году Конрад Цузе опубликовал книгу (Rechnen der Raum) [20], в которой Вселенная рассматривалась с позиции огромного клеточного автомата, реализующего природные вычисления. Спустя год Джоном Конуэем изобретен знаменитый клеточный автомат "Игра жизнь". Автомат обладал Тьюринг-полнотой и был способен выполнять логические операции.

Стивен Вольфрам публикует первую статью, в которой рассматриваются элементарные клеточные автоматы. Позднее им будут суммированы результаты исследования его группы по одномерным СА, предложены вольфрамские номера и четырехчастная классификация СА и концепция экспериментальной математики, написан трактат по клеточным автоматам [22]. В 1990 году публикуется статья с описанием полного по Тьюрингу автомата "Wireworld" Брайна Сильвермана. Автомат позволяет моделировать электронные логические элементы [23].

Математическая модель клеточного автомата является решеткой возможных дискретных состояний конечных автоматов ячеек в n -мерном пространстве. Каждая ячейка решетки может находиться во множестве состояний S , где S – конечное множество. Помимо классических данных, СА могут оперировать и вероятностными значениями [24]. Для каждой ячейки решетки определено множество функционально связанных с ней ячеек I . Функциональные связи являются гомогенными и определяют правила перехода ячеек из одного состояния в другое. Этот процесс обуславливается как самим автоматом

* Рефрактерное состояние – состояние, в котором клетка не может быть возбуждена и передавать возбуждающие импульсы.

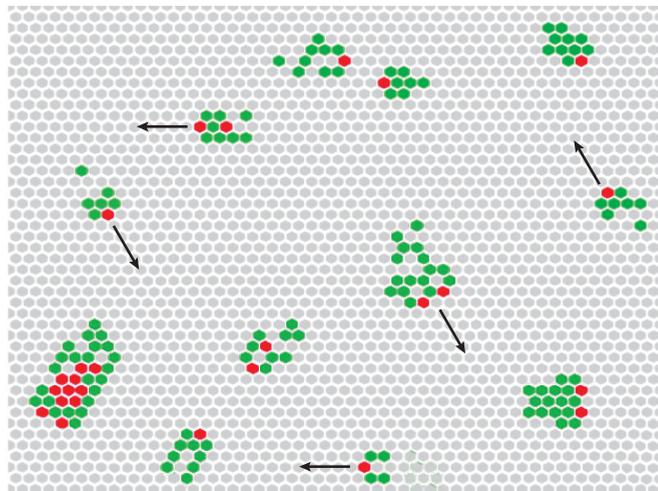


Рис.5. Разнообразие глайдеров в клеточном автомате на гексагональной решетке с тремя состояниями ("0" – черный, "1" – зеленый, "2" – красный). В большинстве случаев направление движения глайдера задается его "головой", отмеченной одной или двумя красными точками. Желтыми стрелками показано направление движения [21]

ячейки, так и функциональным взаимодействием со множеством ячеек I .

Клеточные автоматы находят широкое распространение при моделировании пространственно распределенных систем, явлений самоорганизации.

Проблемы. Как справедливо пишет А.Н.Непейвода [25], "более смелое направление разработки реверсивных процессоров – вычислители на базе клеточных автоматов. Теоретическая модель реверсивного клеточного автомата обладает рядом очень естественных свойств, что выгодно отличает ее от модели реверсивной машины Тьюринга. <...> Биллиардная модель Тоффоли – Фредкина была описана на основе блочных клеточных автоматов. <...> Эта модель свободна от недостатков, связанных с копированием данных, однако возникает проблема эффективного программирования на клеточных автоматах. Пока что неизвестны способы ее разрешить иначе, чем переборными методами".

Возникает парадоксальная ситуация. С одной стороны, абстрактные вычисления с помощью СА возможны, поскольку налицо преобразование (процессинг) $f: X \rightarrow Y$, где в роли данных X либо вся начальная конфигурация, либо устанавливаемые принудительно на граничных ячейках состояния, интерпретируемые как данные, либо лишь часть поля СА, а в качестве результата Y – то же, но спустя

какое-то число итераций. С другой стороны, хаотическая динамика, присущая многим СА, лишает предсказуемости результаты. Таким образом, мы не можем сознательно контролировать процесс вычисления. Если же мы можем контролировать процесс, как в бильярдных вычислениях, то СА чрезмерно расточительно (по сравнению с обычными ЭВМ) тратит вычислительные ресурсы.

По-видимому, следует идти по пути обобщения, от специальных алгоритмов, тех задач типа "диффузия-реакция", где уже несколько десятилетий клеточно-автоматные методы себя хорошо зарекомендовали.

Искусственные нейронные сети

Практически одновременно с исследованиями в области клеточных автоматов начались исследования искусственных нейронных сетей. Начало работ датируется 1950-ми годами 20 века. Первая публикация У.С.Мак-Каллока и У.Питтса вышла в свет в 1943 году [26]. В статье рассматриваются возможные модели искусственных нейронов без петель (без подачи сигнала на вход нейрона от выхода) и с петлями (подача сигнала на вход нейрона с выхода), а также сети на их основе.

В работах по кибернетике коллектива Винера от 1948 года рассматривался вопрос моделирования биологических систем математическими моделями. Алгоритм обучения искусственных нейронных сетей был разработан и опубликован в следующем году Хеббом. Алгоритм состоял из двух простых правил:

- если сигнал нейрона неверен и равен "0", необходимо увеличить веса тех входов, на которые подана единица;
- если сигнал нейрона неверен и равен "1", необходимо уменьшить значения тех входов, на которые была подана единица.

Позднее данное правило было обобщено Уидроу в дельта-правило. Ф.Розенблатт, наставник Уидроу, в 1958 году выдвигает математическую модель перцептрона. Модель состояла из трех слоев нейронов: входного, ассоциативного и реагирующего. Нейроны с петлями не использовались. На основе модели перцептрона и дельта-правила в 1960 году Розенблаттом и Уидроу был создан первый нейрокомпьютер "Марк-1".

После первых достижений в 1969 году М.Минский публикует статью, в которой формально доказывает ограниченность модели перцептрона для ряда задач. Сети, способные функционировать в качестве памяти, были предложены Кохоненом в 1972 году.

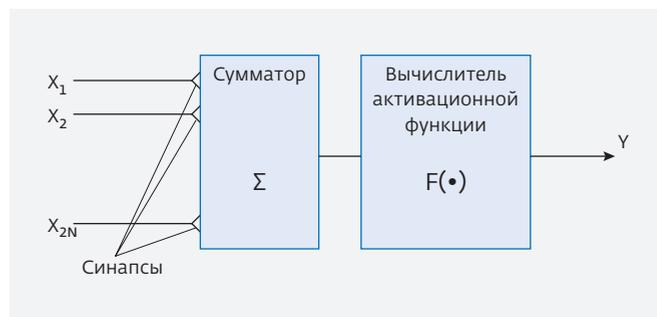


Рис.6. Математическая модель искусственного нейрона Мак-Каллока и Питтса

Алгоритм обратного распространения ошибки был изобретен в 1974 году [27].

Хопфилд создает модель самообучающихся нейронных сетей в 1982 году [28]. Математическая модель представляет собой полностью связную сеть, где каждый элемент имеет выходные связи с остальными и передает другим нейронам обработанный выходной сигнал. В 1985 году Джеффри Хинтон предлагает структуру полностью связной нейронной сети (машина Больцмана [29]), а в 2007 году – алгоритм глубокого обучения для многослойных нейронных сетей на основе ограниченной машины Больцмана. В основе алгоритма лежит последовательное обучение каждого слоя для распознавания соответствующих данному слою образов. При этом каждый последующий слой имеет более высокий уровень абстракции распознаваемого образа по отношению к предыдущему.

Математическое основание использования нейронных сетей базируется на теореме о представлении непрерывных функций нескольких переменных в виде суперпозиций непрерывных функций одного переменного и сложения Колмогорова – Арнольда (1957). Теорема о представлении непрерывных

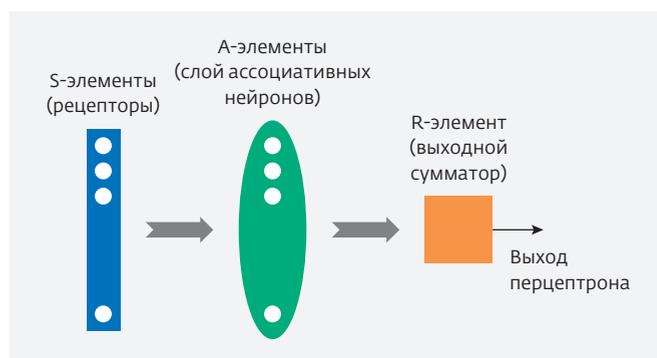


Рис.7. Перцептрон Розенблатта

функций нескольких переменных в виде суперпозиций непрерывных функций одного переменного и сложения в 1987 году была переложена Хехт-Нильсеном для нейронных сетей [30]. Теорема Хехт-Нильсена доказывает представимость функции многих переменных достаточно общего вида с помощью двухслойной нейронной сети с прямыми полными связями с n -нейронами входного слоя, $(2n+1)$ нейронами скрытого слоя с заранее известными ограниченными функциями активации (например, сигмоидальными) и t -нейронами выходного слоя с неизвестными функциями активации. Теорема, таким образом, в неконструктивной форме доказывает решаемость задачи представления функции произвольного вида на нейронной сети и указывает для каждой задачи минимальные числа нейронов сети, необходимых для ее решения. В результате была доказана принципиальная возможность построения нейронной сети, выполняющей преобразование, заданное любым обучающим множеством различающихся между собой примеров.

Проблемы. Первой проблемой является техническая реализация. Трудности при построении искусственных нейронных сетей вызывает проблема "тирании межсоединений" (экспоненциальное возрастание связей между искусственными нейронами сети при увеличении количества нейронов). Немаловажным фактором при аппаратной реализации становится большое разнообразие математических моделей самих искусственных нейронных сетей. Очевидно, аппаратная реализация должна предусматривать возможность создания/обучения большинства типов сетей, что весьма сложно реализовать ввиду огромного количества параметров, определяющих тип сети. К этим параметрам можно отнести: диапазон значений синапсов и аксонов искусственного нейрона, типы функций активации, наличие обратных связей (включая возможность наличия у нейронов сети обратных связей со своими входами), типы синхронизации (асинхронная или синхронная) и многие другие. Принципиально, искусственный нейрон включает две математические функции, одна из которых – операция суммирования весовых коэффициентов, а вторая – функция активации. Данное обстоятельство приводит к необходимости использования различных элементов при реализации самого нейрона в целях снижения затрат, из которого, в свою очередь, следует переход к более сложным топологиям схем.

Вторая проблема искусственных нейронных сетей напрямую связана с их возможностями и обучаемостью. Согласно теореме Хехт-Нильсена нам известно

соотношение между нейронами скрытого слоя и входами, при этом это соотношение может быть не оптимальным, а количество нейронов выходного слоя неизвестно. Указанные обстоятельства существенно осложняют определение типов функций активаций нейронов, общего количества нейронов и слоев при реализации сети. Процесс обучения напрямую связан с обучающей выборкой и ввиду плохой верифицируемости требует участия специалистов при ее составлении. Негативные моменты могут проявляться и во время самого обучения, к таким моментам можно отнести попадание сети в локальный минимум ошибок или паралич сети, вызванный большими значениями весовых коэффициентов, возникающие при применении алгоритма обратного распространения ошибки.

Обе проблемы негативно влияют на эффективность использования вычислительной единицы (искусственного нейрона) и приводят к классическому выбору между универсальностью и эффективностью, что находит отражение в архитектуре систем. Тем не менее количество приложений и прикладных задач, решаемых с помощью данного подхода, неуклонно растет.

Клеточные нейронные сети

Нейронные сети и клеточные автоматы (СА) являются более традиционными экспликациями этой парадигмы. С точки зрения массивности параллелизма полносвязная NN, где каждый элемент связан с каждым, и одномерный СА с радиусом $\frac{1}{2}$ (one-way СА) представляют собой крайние точки шкалы. Биологический нейрон, например, имеет от сотни до тысячи связей. Однако модель нейрона более проста, чем модель ячейки СА, поскольку нейрон не обладает состоянием/памятью, а только служит обработчиком сигналов. Третье отличие, если, оговоримся, брать только классические определения, состоит в гомогенности связей СА и, следовательно, изотропности направлений. В важном классе тоталистических СА все веса обычно полагаются равными, и только сумма подлжет дальнейшему анализу в функции перехода. И последнее отличие, опять же для классического задания, состоит в том, что обычно NN имеют внешние входы/выходы, а СА обычно рассматривается замкнутой системой с неизменными границами. Несмотря на указанные отличия, обе модели чрезвычайно близки и породили гибрид в виде CNN.

Первая буква N трактуется иногда как non-linear, отражая близость к нелинейной динамике [31], итерированным отображениям

(например, на комплексной плоскости) и фракталам. Действительно, если формулу перехода усовершенствовать, введя параметрами смежные итерации (для простоты пространство одномерное), то получится фактически формула СА с непрерывным множеством состояний (что в пределе легко дает p.d.e - уравнение в частных производных):

$$z(t+1) = f(z(t)) \rightarrow z_n(t+1) = f(z_n(t)),$$

$$p \equiv z_{n+1}(t) \rightarrow \left(\begin{matrix} 1 = \Delta t \rightarrow 0 \\ n \rightarrow \infty \end{matrix} \right) \rightarrow p.d.e.$$

Интересно, что словом "итерон" (iteron) польский ученый П.Сивак [32] обозначал периодические "когерентные" фигуры, движущиеся в поле автомата. Если далее уравнение специфицировать, полагая,

$$f(z_n, z_{n+1}) = f\left(\sum_{i=0,1,-1} w_i z_{n+i}\right) = f(\bullet) = \begin{cases} 0, \bullet < K \\ f(\bullet), \bullet \geq K \end{cases}$$

то получаем формулу нейрона с нелинейной функцией и порогом активации K. Еще дальше теория CNN в формулу вводит внешние сигналы для каждого элемента.

Один из основателей [33] этой теории (Леон Чуа, 1988) "по совместительству" является изобретателем мемристора (как пропущенного элемента электрической цепи) и нелинейного элемента с отрицательным сопротивлением (вместе с описанием цепи Чуа, поведенчески сходной с системой аттрактора Лоренца). Математическая модель Чуа-Янга, являясь частным случаем CNN, имеет следующий вид:

$$\frac{dx_{ij}}{dt} = -x_{ij} + \sum_{|n| \leq r, |m| \leq r} T_{mn}^A y(x_{i+m, j+n}) + \sum_{|n| \leq r, |m| \leq r} T_{mn}^B u_{i+m, j+n} + \hat{I}.$$

Математическая модель CNN описывается следующим образом:

$$L(D_t)x_{ik}(t) = \sum_{|n| \leq r, |m| \leq r} T_{mn}^A f(x_{i+m, j+n}) + T_{mn}^C x_{i+m, j+n} + \sum_{|n| \leq r, |m| \leq r} T_{mn}^B u_{i+m, j+n} + I,$$

$$T^{ABC} = \begin{bmatrix} \dots & \dots & \dots \\ \dots & \dots & \dots \\ \dots & \dots & \dots \end{bmatrix}, (1 \leq i \leq N), (1 \leq j \leq M),$$

где $x_{ij}(t)$ - параметр состояния, $L(D_t)$ - рациональная функция оператора $D_t = \frac{d}{dt}$, f - функция нелинейного выхода, $u_{ij}(t)$ - входные параметры, I - параметры смещения.

Для некоторых CNN доказано, что если входы сети неизменны, то происходит конвергенция состояний процессорных элементов, и это состояние можно рассматривать результатом некоторого вычисления. Это предопределило первые приложения CNN-процессоров для обработки изображений и распознавания образов. Дальнейшее развитие CNN привело к работам по клеточно-волновому компьютерингу (и соответствующим архитектурам) [34, 35, 36].

Проблемы. Весь комплекс проблем свойственных искусственным нейронным сетям присущ и клеточным нейронным сетям. С другой стороны объединение клеточных автоматов и искусственных нейронных сетей позволяет снизить проблему "тирании межсоединений", но при этом для реализации функций требуется большее количество вычислителей. Возникающая архитектура является менее гибкой по сравнению с архитектурой искусственных нейронных сетей. Ввиду меньшего количества связей клеточная нейронная сеть обладает пониженной отказоустойчивостью в сравнении с искусственными нейронными сетями. Существующие синхронные аппаратные реализации обладают повышенным энергопотреблением в сравнении с искусственными нейронными сетями и занимают большую площадь на кристалле, что связано с необходимостью реализации большего количества более сложных (в сравнении с искусственными нейронами) вычислителей [35]. Проблемы масштаба и энергопотребления могут быть решены при переходе к асинхронным аналоговым реализациям.

GRID

Согласно данным с портала Wikipedia.org, появление концепции GRID датируется 90-ми годами 20 века. Причинами появления концепции считаются высокая стоимость создания, эксплуатации и обслуживания специализированных суперкомпьютеров. Изначально, концепция предусматривала использование незадействованных вычислительных мощностей на компьютерах добровольцев (Volunteer computing), примерами являются проекты GIMPS (<http://www.mersenne.org>) и BOINC (<https://boinc.berkeley.edu>). На текущий момент развития, помимо неоплачиваемого предоставления вычислительных мощностей, на рынке услуг можно встретить услуги по аренде вычислительных мощностей (проект CLOUD).

В данный момент есть расхождение в определениях GRID. Так, "Грид-компьютинг - это скоординированное разделение ресурсов и решение задач в динамически меняющихся виртуальных

организациях со многими участниками" [37]. Программное обеспечение GRID образует из иерархической сети компьютеров одну виртуальную распределенную многопроцессорную вычислительную систему. Первое преимущество концепции – это возможность объединения разных вычислительных элементов, поскольку объединение выполняется программными средствами с применением стандартных протоколов обмена данными, GRID может использовать вычислители разной мощности в решении одной вычислительной задачи. Вторым немаловажным преимуществом технологии является возможность объединения суперкомпьютеров в один, что позволяет не только повысить их мощность, но и оптимизировать использование вычислительных систем, объединенных в GRID.

С развитием и распространением беспроводных технологий стало возможным построение беспроводных Cellular networks вычислительных сетей. Отличительной особенностью от классической GRID является отсутствие строго заданных связей на нижних уровнях иерархии сети.

Один из способов построения подобного рода сетей показан на рис.8. В соответствии с иерархией уровней сети по стандарту организации Cisco, иерархия сети включает три уровня: базовый (образует ядро сети), уровень распространения (промежуточный между уровнем доступа и ядром сети) и уровень доступа. В простейшем варианте при построении Cellular networks: базовый уровень, уровень распространения и до оборудования уровня доступа имеют строго заданные иерархические связи. Связи между конечными вычислителями и уровнем доступа не имеют строго заданной структуры. Покрывание

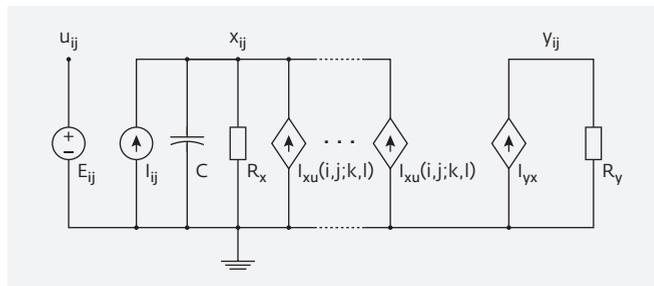


Рис.8. Электрическая схема ячейки CNN

беспроводной сетью доступа территории (зоны) обеспечивается взаимным наложением сигналов от беспроводных точек доступа к сети. Каждая точка доступа представляет из себя ячейку (соту) с ограниченным радиусом действия. Близлежащее расположение точек обеспечивает пересечение их радиусов покрытия. В случае с GSM базовыми станциями вокруг каждой точки располагаются 6 станций. Пересечения их зон покрытия обеспечивают шестиугольные ячейки. При использовании технологии GSM физическая среда передачи трафика сети может видоизмениться, в связи с использованием беспроводных каналов от оборудования уровня доступа до оборудования уровня распространения или ядра сети. При этом, как правило, сами связи в иерархии сети остаются строго заданными.

Подход используется при построении GSM сетей связи и Wi-Fi сетей доступа. Мобильность конечных вычислительных устройств обеспечивается за счет перекрытия зон действия беспроводных точек доступа, что, в свою очередь, позволяет беспрепятственно перемещаться в зоне покрытия.

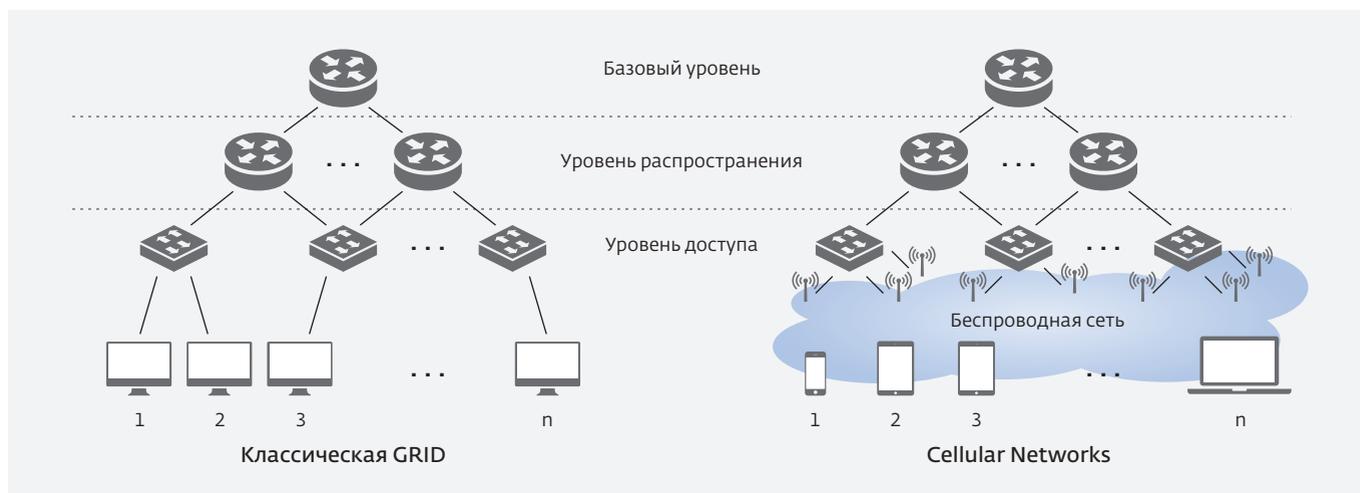


Рис.9. Примеры построения GRID систем

Примерами применения технологии могут служить различные облачные и серверные мобильные приложения.

Проблемы. Низкая скорость вычислений на один вычислительный модуль в сравнении с другими подходами архитектурного аспекта из-за отсутствия оптимизации вычислителей, и, как следствие, большая ресурсоемкость одного вычисления. В зависимости от расстояния между узлами (которое следует понимать как меру объема наименьшего структурного компонента системы, содержащего оба узла) время передачи сообщений между узлами (задержки) может отличаться в десятки раз. С увеличением расстояния, как правило, падает также пропускная способность коммуникационной сети в пересчете на один узел. Не менее негативным эффектом является рассинхронизация при нарушении последовательности вычислительных операций [38].

3. ФУНКЦИОНАЛЬНЫЙ АСПЕКТ

При одинаковых физических принципах и архитектуре два компьютера, тем не менее, могут отличаться по интерпретации исходных данных, промежуточных и конечных результатов, что в той или иной мере накладывает ограничения как на МС, так и на используемый алгоритм. Например, если традиционная ЭВМ предполагает бинарность, то гипотетически можно рассмотреть компьютер, работающий только с буквами некоторого алфавита и словами треугольной формы. Генетические алгоритмы и ассоциированные с ними (и дружественные для NN) эволюционные вычисления можно рассматривать как еще один пример нового подхода к формату данных и результатов. За недостатком объема статьи мы ограничиваемся лишь упоминанием об этом важном направлении.

Обратимость вычислений

Из выражения Шеннона – Фон Неймана – Ландауэра следует, что энергия для обработки одного бита информации должна быть больше энергии разделения двух состояний электрона. $E_{\text{bit}} > E_{\text{SNL}} = k_B T \ln 2$, где E_{SNL} – энергия разделения состояний электрона [39]. Ландауэр рассчитал, что при необходимости построения вычислительной мощности порядка зеттафлопса встает проблема выделения тепловой энергии, исходя из предположения, что вследствие стирания или перезаписи информации происходит увеличение энтропии системы. А так как предыдущее состояние системы утрачивается и невозможно к восстановлению, то рост энтропии системы

приводит к увеличению ее средней температуры.

Продолжая развивать данное направление, в 1973 году Чарльз Беннет сформулировал концепцию обратимых (реверсивных) вычислений [40]. Идея заключается в сохранении используемых битов без их стирания или перезаписи, чтобы впоследствии, применив обратимость, вернуть систему к исходному состоянию без выделения тепла.

Беннет указывал на ряд способов реализации вычислений, основанных на своей идее. При этом, в таком сложном процессе, как синтез ДНК, затраты энергии составляют от 5 до 50 к_BT Дж на нуклеотид, тогда как вероятность ошибки при этом у всех организмов составляет 10^{-9} – 10^{-11} [16] (заметим, что один нуклеотид содержит информацию, эквивалентную двум битам). Хотя предел Ландауэра в биологических системах не достигается, но пересчет показывает, что подобная точность вычислений (для преодоления теплового шума) на современных MOSFET-технологиях требовала бы минимум 50 к_BT Дж на пару битов, следовательно, часть энергии в биологической системе должна восстанавливаться.

Также Беннетт обратил внимание, что в так называемых "маятниковых системах" (без управления извне) расходы энергии можно сделать сколь угодно малыми, если растянуть управляющее воздействие по времени. Тоффоли заметил, что если заряд в ячейках будет сохраняться постоянным (количество нулей и единиц будет оставаться неизменным, а меняться лишь их расположение), можно будет достигнуть такого же эффекта [41]. В частности, на этой идее построены модели адиабатных транзисторов традиционного типа, где один бит моделируется с двумя взаимно обратными последовательностями 01 и 10. Однако, данная структура страдает тем же недостатком, что и "маятниковые системы": чтобы потеря энергии действительно почти не происходила, надо производить переход между состояниями как можно более длительное время. На моментальное переключение адиабатной системы затрачивается столько же энергии, сколько и в случае традиционной архитектуры.

Многие молекулярные процессы так же обладают естественной обратимостью (например, равновесные реакции). Молекулярные модели намного более медленные, чем электронные, но на данном этапе развития реверсивной технологии эта разница не может быть решающей при выборе вычислителя: как уже отмечалось, легко реализуемые электронные модели так же должны быть медленными, чтобы оставаться реверсивными. Современные

исследования в области молекулярных реверсивных моделей используют ДНК-технологии в комбинации с полимерными химическими реакциями. Была неоднократно доказана тьюринг-полнота вычислителей, работающих на этих принципах, однако смешанная ДНК-полимерная модель (а также чистые ДНК-модели) существенно опираются на свойства стохастических вычислений.

Модели магнитных реверсивных вычислителей во многом сходны с идеями, описанными Меркле (например, моделирование реверсивных гейтов голосования в [42]). Пока что в вышеуказанной работе признается, что для корректной работы системы гейтов необходимо размагничивание с начала, а не с конца, в противном случае реверсивность теряется.

Проблемы. Сложность в построении вычислителей с высокой скоростью вычислений в сравнении с современными системами. Тем не менее это не отменяет возможности придания вычислениям свойства обратимости в случае необходимости [25]. Как правило, придание вычислениям свойства обратимости приводит к увеличению затрат на аппаратную реализацию при построении специальных элементов. Реализация других подходов связана с избыточностью, используемой в вычислениях памяти.

Недвоичные системы счисления

В начале 13 века Н.Э.Леонардо Пизанский (Фибоначчи) сформулировал "задачу о гирях". В данной комбинаторной задаче требовалось определить оптимальное количество и вес гири для нахождения веса предмета на рычажных весах. Фибоначчи установил что, поиск оптимальной системы счисления зависит от количества используемых чаш (сторон весов). При условии использования только одной стороны весов, оптимальным и самым экономичным является решение в виде двоичной системы счисления. Использование обеих чаш весов приводит к оптимальности троичной позиционной системы счисления.

Преимущества позиционной несимметричной системы счисления продемонстрированы в статье [43]. Автор рассматривает понятие экономичности системы счисления. Под экономичностью системы счисления понимается оптимальность представления (кодирования) чисел цифрами (дискретными состояниями разрядов).

Формулы Шеннона для количества информации и ее энтропии $I = -n \sum_{i=1}^m P_i \log P_i$, $H = -\sum_{i=1}^m P_i \log P_i$, где I –

количество информации, H – энтропия, m – количество символов в алфавите, n – длина сообщения, P_i – частота появления знака в сообщении,

$P_i = \frac{n_i}{n}$ – вероятность появления знака. При равной

вероятности появления знаков алфавита получаем формулу энтропии $H = \log m$. Количество возможных сообщений представляется в виде $N = m^n$, и, воспользовавшись формулой Стирлинга, получаем $I = \ln N$. При $n=1$ количество информации по сути равно количеству символов в алфавите $I = \ln m$ [44]. Плотность записи информации описывается урав-

нением $y = \frac{\ln m}{m}$, таким образом максимальной эко-

номичностью обладает система счисления с основанием e . С точки зрения экономичности, оптимальными являются системы счисления с основаниями 2 и 3.

Одним из первых устройств, построенных на основе троичной симметричной системы счисления, стала созданная в 1840 году счетная машина Фаулера. В 1959 году под руководством Н.П.Брусенцова разработана ЭВМ на основе троичной симметричной системы счисления, пуск которой осуществлялся с 1962–64 годов. Использовалась троичная система счисления: 0, 1, -1. Три состояния, реализованные на одном элементе памяти, образовывали *трип*. Использовалось представление числа с фиксированной точкой. Оперативная память на ферритовых сердечниках обладала емкостью в 162 *трайта* (1 *трайт* равен 6 *трип*). В качестве внешней памяти использовался магнитный барабан – предшественник современных жестких дисков. На нем вмещалось до 4000 *трайт*. Пропускная способность шины памяти составляла 54 *трайта*, что давало высокую производительность и не слишком частое обращение к медленной внешней памяти. Троичная машина выполняла порядка 4000 операций в секунду. Ввод и вывод производились через телетайп и перфоленту.

В 2008 году моделирование трехтрипной цифровой компьютерной системы осуществили специалисты из California Polytechnic State University of San Luis Obispo [45]. Система включала основные элементы простейшего процессора. В состав входили: АЛУ, регистры, шина адреса, дешифратор, счетчик команд. Предложенная реализация показала себя эффективней в аппаратной реализации, чем двоичная.

В 1957 году американский математик Джордж Бергман ввел в рассмотрение позиционную систему специального типа, названную им "системой счисления с иррациональным основанием" или "τ-системой". Он доказал, что любое действительное число A может быть представлено в виде следующей суммы:

$$A = \sum_i a_i \tau^i,$$

где a_i – двоичные цифры, 0 или 1 ($i=0, \pm 1, \pm 2, \pm 3 \dots$), τ^i – вес i -ой цифры в системе счисления,

$\tau = \frac{1+\sqrt{5}}{2}$ – основание системы счисления.

Применение иррациональных весовых коэффициентов в основании системы счисления позволяет представлять иррациональные числа в виде конечной последовательности двоичных цифр. Помимо этого, Бергман в своей работе показал возможность представления целых натуральных чисел степенями иррационального основания. Позднее Стаховым, развивавшим идеи Бергмана [46], были отмечены два интересных свойства этой системы счисления. Первое: при представлении в τ-системе счисления натурального целого числа замена степеней основания на соответствующие им числа Фибоначчи приводит к обращению числа в ноль вне зависимости от числа. Второе свойство основано на замене степеней основания на числа Люка и приводит к удвоению представляемого числа. Немаловажным результатом применения троичной системы счисления является повышение помехоустойчивости передаваемой информации [47].

Логические системы, в зависимости от решаемых с помощью них задач были построены Гейтингом, Бойчваром, Клини, Рейхенбахом и многими другими. В 1965 году Лотфи Заде создает понятие нечеткого множества. Понятие основано на принимающей значение в диапазоне от 0 до 1 функции принадлежности к некоторому множеству. Итогом развития данного направления на текущий момент является разделение логик на конечнозначные логики и бесконечнозначные логики [48]. Данные типы логик ложатся в основу построения экспертных систем и искусственных нейронных сетей.

Проблемы. Архитектурные трудности в построении систем, основанных на нечетких множествах и недвоичных системах счисления, дополняются проблемами с переносимостью кода существующего программного обеспечения. Код низкого уровня придется переписывать под новое аппаратное

обеспечение, а высокого уровня – оптимизировать под возможности недоступных ранее алгоритмов.

4. ПАРАДИГМА КОННЕКЦИОНИЗМА

Исторически [49] коннекционизм (коннективизм) появился в результате наблюдений над тем, как мыслит человек (в современной трактовке, сводящей мышление к разновидности переработки информации – какова вычислительная модель мозга?). Аристотель полагал, что новые идеи рождаются от ассоциации прежних идей. Гоббс уточнял, что это происходит при условии их близости во времени, а Локк указывал на необходимость их сходства. Известный психолог Э.Торндайк полагал (1910): "Возникновение связей является результатом как состояния мозга, так и действия внешних ситуаций. Часто связи приобретают вид длинных последовательностей, в которых реакция на одну ситуацию становится новой ситуацией, вызывающей следующую реакцию, и т.д. Связи могут создаваться как частями, элементами или особенностями отдельной ситуации, так и всей ситуацией в целом... Связываться могут едва различимые отношения или смутные аттитюды и интенции". Заслуга Торндайка состоит в выделении элементов и элементарных актов (identical-elements theory). Современный коннекционизм имеет начало в работах МакКаллока по искусственным нейронным сетям (ANN или, чаще, NN) и Тьюринга, рассматривавшего случайную сеть ассоциатов логических вентилей (1948). Как пишет Е.А.Янковская, акцентируя внимание на децентрализованности, "понятие гетерархия, предложенное МакКаллоком, становится основой для концептуальных и/или формализованных моделей сложных систем... является контингентным и отчасти альтернативным по отношению к понятию иерархии" [50].

Главный принцип коннекционизма состоит в предположении, что мыслительные явления могут быть описаны сетями из взаимосвязанных простых элементов. Форма связей и элементов может меняться от модели к модели. Например, элементы в сети могут представлять нейроны, а связи – синапсы. Другая модель может считать каждый элемент в сети словом, а каждую связь признаком семантического подобия и т.п. Лозунг радикального коннекционизма – "связи – все, элементы – ничто", то есть для результата вычислений более значимы связи, а не особенности структуры элементов, чем бы те ни были. Под коннекционизмом применительно к вычислительным системам обычно понимается подход, ориентированный на максимальное

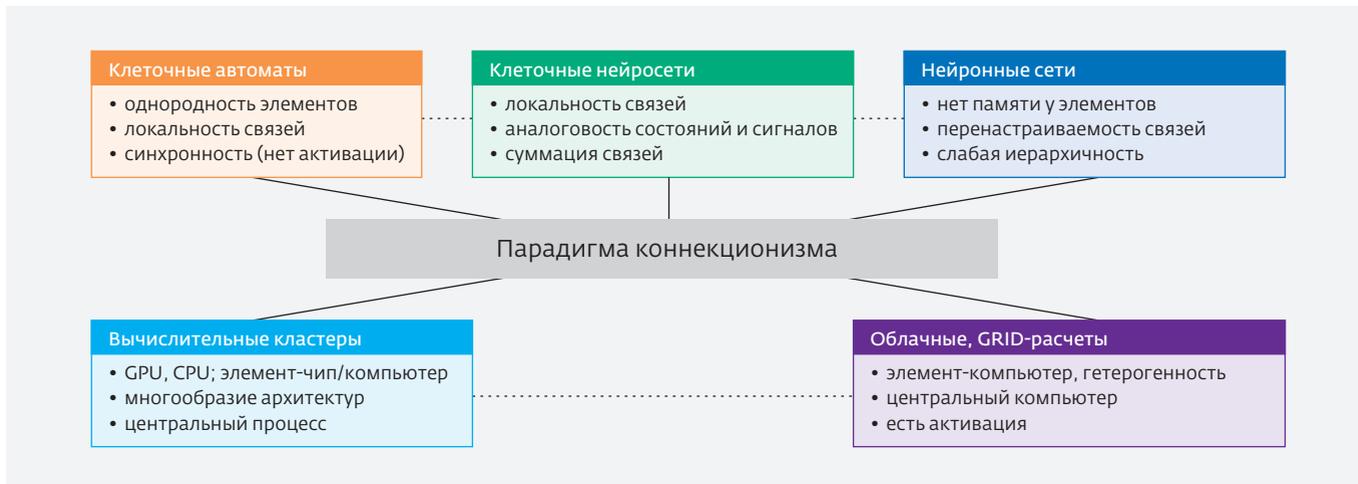


Рис.10. Образы коннекционизма в современной вычислительной технике

распараллеливание обработки данных и терминологически тождественный PDP (Parallel Distributed Processing). По нашему мнению, основной вопрос коннекционизма заключается в том, где остановиться в упрощении элементов и усложнении структуры связей с точки зрения эффективности вычислений. Движение к максимальному распараллеливанию есть одновременно движение к увеличению числа и упрощению элементов.

Основные принципы модели PDP, не без влияния нейросетевой лексики, были сформулированы [51] Д.Е.Румельхартом и др. в 1986 году:

- P1. Набор процессорных элементов (units).
- P2. Состояние активации.
- P3. Выходная функция для каждого элемента
- P4. Шаблон связности между элементами, включающий веса и локализацию связей (де факто это нагруженный граф).
- P5. Правило распространения активностей по сети.
- P6. Правило активации, порождающее из совокупности "входов" и состояния элемента новый уровень активации элемента.
- P7. Правило обучения, то есть возможность изменения шаблона связности под действием опыта.
- P8. Окружение, в котором должен работать вычислитель.

Первоначально среди нейрофизиологов предпочтительной считалась концепция последовательной обработки данных, в ходе которой активизировались следующие друг за другом узлы в цепи связей в сети. Позднее более привлекательной альтернативой стала параллельная обработка, где предположительно происходит активизация двух или более независимых цепей. Стремясь обобщить PDP,

Бештел и Абрахамсен в 1991 году предложили четыре принципа коннекционизма [52]; три из них совпадают с P1+P4, P2 и P7, а четвертый требует дать семантическую интерпретацию сети (например, данные или результаты могут храниться в одном элементе или же быть распределенными между элементами). Под понятием "вес" можно понимать любое предикативное свойство связи (например, двунаправленность).

Анализируя парадигму коннекционизма, мы должны прежде всего уйти от ее нейрофизиологических истоков и конкретных имплементаций, по каждой из которых существует обширная литература (те же нейросети и архитектуры параллельных вычислительных систем). В настоящее время можно выделить пять коннекционистских имплементаций (см. рис. ниже):

- клеточные автоматы (включая специализированные мультипроцессорные системы типа CAM-8);
- искусственные нейронные сети;
- клеточные нейронные сети;
- кластерные вычислительные системы (от многоядерных персональных ЭВМ до нескольких серверов в пределах одного помещения);
- облачные и GRID-проекты.

5. КОНЦЕПТУАЛИЗАЦИЯ МОДЕЛИ ВЫЧИСЛЕНИЙ

Удивительно, что до сих пор в литературе не рассматривался вопрос об абстрактной (минимальной) модели вычислений. Безусловно, по конкретным моделям вычисления работ более чем достаточно, но не предпринимались попытки поднять проблему на более высокий уровень абстракции,

быть может, философской, особенно, если считать мышление неким вычислением. Такое положение, по-видимому, объясняется либо тем, что вычисления по умолчанию считались последовательными, либо тем, что когда в наше время параллельные вычисления стали востребованными, не нашлось фигур масштаба Неймана и Тьюринга для их осмысления. Ниже мы сформулируем в меру нашего понимания, что такое "модель вычислений".

Стандартная модель вычислений

Одно из центральных понятий математики – функция – определяется как однозначное отображение множества X на множество Y , то есть $f: X \rightarrow Y$. Но это определение фиктивное, поскольку использует неопределимое, интуитивное понятие отображения или соответствия. Понятие "алгоритм" через понятие вычислимой функции уточняет наше представление о функции, вводя процедуру вычисления, отвечая не на вопрос "что соответствует заданному x ?", а на другой – "как строится соответствие?" Различные формализации алгоритма были получены в 1930–40-х годах 20 века Гильбертом, Постом, Тьюрингом, Гёделем, Чёрчем и Марковым. Принципиальная недоказуемость тезиса Черча (весь класс вычислимых с помощью алгоритмов функций совпадает с классом частично рекурсивных функций) означает невозможность дать точное определение алгоритму. МС (или, как синоним, вычислимость – computability, англ. – способность вычислителя исполнить алгоритм), в свою очередь, уточняет, что такое алгоритм, отвечает на вопросы: "как реализуется соответствие?", "как работает вычислитель?", дополняя сам алгоритм сведениями о вычислителе. В Википедии принято более узкое, слишком инженерное определение: "Теория вычислимости и теория сложности вычислений трактует МС как определение не только множества допустимых операций, использованных для вычисления, но и относительных издержек их применения. Охарактеризовать необходимые вычислительные ресурсы – время выполнения, объем памяти, а также ограничения алгоритмов или компьютера – можно только в том случае, если выбрана определенная МС. Понятие вычислимости столь же изначальное, как и функция или алгоритм, отчасти от того, что размыта степень подробности задания вычислителя и его исполнительных механизмов. По нашему мнению, удовлетворительным неформальным определением можно считать следующее: "Модель вычислений – это совокупность аппаратно-программных средств и схема их взаимодействия между собой и пользователями,

определяющая исполнение алгоритмов" (следуя [53]). Далее, в п.5. мы попытаемся дать более формальное определение средствами теории множеств, а пока заметим, что актуальность ответа на вопрос "что такое модель вычислений вообще?" стала очевидной только в настоящее время.

Прекрасным и одним из первых примером модели вычислений служит машина Тьюринга – фундамент классической теории вычислимости. Другим примером, терминологически близким к разработчикам архитектур микропроцессоров, является машина с неограниченным числом регистров (Шепердсон, 1963). Ее детальное описание можно почерпнуть из книги Н.Катленда [54], а кратко она описывается так: для набора нумерованных регистров с хранимыми в них числами имеется линейный перечень инструкций (программа), выполняемых последовательно, причем каждая инструкция принадлежит к одному из типов: обнуление, прибавление единицы, переадресация, условного/безусловного перехода.

В более современной трактовке стандартная модель, расширенная на суперкомпьютеры, представлена В.П.Гергелем [55] в виде графа "операции-операнды". Здесь множество операций, выполняемых в исследуемом алгоритме решения вычислительной задачи, и существующие между операциями информационные зависимости могут быть представлены в виде ациклического ориентированного графа: вершины – это выполняемые операции алгоритма, ребра (i, j) определены условием "операция j использует результат выполнения операции i ". Вершины без входных дуг могут использоваться для задания операций ввода, а вершины без выходных дуг – для операций вывода. В наиболее простом виде модель основывается на предположениях: время выполнения любых вычислительных операций является одинаковым и равняется 1, а передача данных между вычислительными устройствами выполняется мгновенно без каких-либо затрат времени.

Неформальное, но концептуально выверенное изложение стандартной модели дано в [56]. Итак, имеются следующие три элемента:

- A. **Память**, предназначенная для хранения произвольных значений. Конкретизация: значения на аппаратном уровне представляются как последовательности битов.
- B. **Процессор**, способный выполнять команды, то есть интерпретировать последовательности битов как инструкции для активизации предписываемых этими инструкциями действий.

С. Управляющее устройство, способное указывать команды, которые должен выполнять процессор (иногда управляющее устройство рассматривается как составная часть процессора).

Эти элементы обладают следующими свойствами. Память *однородна, линейно-адресна и пассивна*. Из однородности памяти следует, что команды и данные (перерабатываемые значения) располагаются в единой общей памяти и одинаково адресуются. Процессор имеет свойство *активности*. Управляющее устройство содержит адрес команды, назначаемой для выполнения процессором, и обеспечивает *централизацию управления*. Для передачи данных или команд между памятью и процессором используется специальное оборудование, называемое *каналом связи*. Он должен:

- подать очередную команду процессору для выполнения (активизируется управляющим устройством);
- получить операнды для выполнения команды (активизируется процессором);
- изменить значение ячейки при выполнении команды (активизируется процессором).

Существуют потоковые (dataflow) модели вычислений для сетей [57]. Модель акторов, предложенная довольно давно (Хьюитт, 1973), но по-прежнему влиятельная, концептуализирует параллельные процессы. Она трактует [58] понятие "актор" как универсальный примитив параллельного численного расчета: в ответ на сообщения, которые он получает, актер может принимать локальные решения, создавать новых акторов, посылать свои сообщения, а также устанавливать, как следует реагировать на последующие сообщения. Неплохая попытка систематизировать классические и неклассические модели вычислений сделана Т.С. Стефановой исходя из педагогических целей [59].

Отметим, что в большинстве моделей появляется абстракция "программа" (команда/инструкция), трактуемая как запись алгоритма. Возможны ли модели вычислений, обходящиеся без этой абстракции? Еще один вопрос, который следует поставить: являются ли все классические модели вычислений последовательными (в том смысле, если инструкции алгоритма совершаются одна за другой), а все неклассические – параллельными (в том смысле, если допускается множественность инструкций во времени)?

Минимальная модель вычислений

Очевидно, что всякая МС может быть дополнена и детализирована с учетом уровня подробности

описания вычислителя. И наоборот, она может быть свернута, лишь в общем виде, воспроизводя наше представление о вычислителе. Хотелось бы задать степень такого сворачивания и ввести понятие минимальной модели вычислений. Кроме того, очевидно, что МС может иметь несколько представлений, зависящих от используемого математического аппарата. Это формальное исчисление, теория множеств или же, если нам это удобно, теория графов. Естественным нашим выбором является теория множеств.

Зададимся вопросом, что по меньшей мере должна включать в себя МС? Начнем с тривиальных утверждений. Всякое вычисление предполагает данные $x \in X$ и результат $y \in Y$ (см. п.5.1); без этих двух сущностей бессмысленно говорить о каком-то вычислении. Само вычисление означает смену физического состояния вычислителя, иначе невозможно ни вводить данные, ни считывать результат. Таким образом, МС должна включать в себя множество – конечное (мощности N) или бесконечное – состояний вычислителя $S = \{S_1, \dots, S_N, \dots\}$. Кроме того, нужна интерпретация данных и результата, их экстракция из наличного состояния или состояний вычислителя, то есть $g_1 : B(S) \rightarrow X$, $g_0 : B(S) \rightarrow Y$ (здесь и далее $B(\bullet)$ – булеан множества, взятого в скобки). Такая конструкция позволяет описать и то, что для записи данных и чтения результата может использоваться не все состояние вычислителя, а только его часть/компонента. Примером может служить "мусор" в стеке памяти ЭВМ в процессе и после вычислений. Хотелось отметить возможность для данных и результата быть непрерывными сущностями; обычно ведь оперируют одним числом, несколькими числами, но не более того.

Всякое вычисление имеет длительность во времени, то есть динамику смены состояний S , и также момент останова. Эта динамика может быть дискретной, связанной с сигналами синхронизации, или континуальной. Однако проблема останова, во всяком случае для теории алгоритмов, остается достаточно серьезной (доказана ее неразрешимость для машины Тьюринга). Тем не менее должны быть предусмотрены внутренние средства для ее решения: стоп-символ для машины Тьюринга, заключительные формулы подстановок для алгоритмов Маркова и т.д. Для интерактивных систем эту проблему решает пользователь или внешний сигнал $e \in E$. Например, как в шахматных программах, принуждение машины совершить ход или более банальное – Windows-событие. В модели вычислений нужно прописать функцию останова $h : S \times E \rightarrow \{0,1\}$.

Алгоритм и данные, над которыми он работает, часто логически разделяют, но физически они, наоборот, хранятся в памяти ЭВМ вместе. В современных процессорах потоки данных и инструкций/команд также разделены и физически, и логически. В программировании тоже существует негласное правило не прописывать в скриптах часто изменчивые данные, а брать их, например, из текстовых файлов. Следует ли признать это разделение за абсолютное? По нашему мнению, нет. Тогда у нас вообще исчезает понятие "программа", которое присутствовало как данность (в подвешенном состоянии) и у Маркова, и у Тьюринга, и у Черча. Мы формализуем одновременно и алгоритм, и данные посредством функции перехода $S \rightarrow S$. Если учесть, что переход может подчиняться вероятностным законам (как в случае недетерминированного конечного автомата), то правильнее писать $a \subset S^2, \text{Dom}(a) = \text{Val}(a) = S$.

Для оценки стоимостных параметров алгоритма, реализуемого вычислителем, (время совершения итерации, энергия перехода между состояниями – в этой связи можно вспомнить формулу Ландауэра) целесообразно ввести множество затрат Z и функцию их исчисления $b: S^2 \rightarrow Z$.

Таким образом, **наиболее общая (минимальная) модель вычислений** дается средствами теории множеств как набор из 10 сущностей:

$$\langle X, Y, S, E, Z, g_1, g_0, h, a, b \rangle. \quad (1)$$

Несколько замечаний по семантике множества S . Физическое состояние вычислителя должно пониматься шире, чем $s \in S$, поскольку существуют исполнительные механизмы вычислителя, реализующие смену его состояний. Неправильно было бы вводить эти механизмы непосредственно в МС. Можно трактовать $s \in S$ как состояние памяти вычислителя (например, для персонального компьютера это оперативная, дисковая и кэш-память в совокупности), куда погружены все данные, промежуточные результаты вычислений и коды программ. К этому надо добавить текущее состояние сигналов, циркулирующих внутри вычислителя. Поэтому для останова алгоритма, например, по достижению критерия типа $|D_{n+1} - D_n| < \epsilon$ для динамического объекта D требуется знать только текущее состояние $s \in S$, где должны содержаться все объекты и нормативные погрешности D_n, D_{n+1}, ϵ .

Тем не менее форма (1) представляется непригодной для практического использования. Стандартная МС отталкивалась от представления о примитивных

функциях, которые обязан уметь исполнять универсальный вычислитель, то есть проводила функциональную декомпозицию. Последняя зафиксирована в определении рекурсивной функции. МС для коннекционизма, по-видимому, должна проводить по меньшей мере структурную декомпозицию (что не исключает и функциональную). Многоленточные машины Тьюринга и более "игровые" объекты (тьюрмиты, муравьи Лэнгтона) весьма условно могут рассматриваться моделями вычислительного параллелизма, и хотя отчасти эту декомпозицию производят, но все-таки далеки от коннекционизма. С другой стороны, например для муравьев Лэнгтона, существует эквивалентный клеточный автомат.

Любое расширение минимальной модели неизбежно связано с уточнением входящих в нее множеств путем их структурирования, что, в свою очередь, отражает объективную природу вычислителя как системы, то есть целокупности элементов (вместе с присущими им свойствами, прежде всего выражающимися в способности исполнять примитивные функции) и связей между ними. Для коннекционизма появляются дополнительные аспекты обучаемости, то есть перенастраиваемости связей и их свойств, и в более слабой форме – эволюции свойств элементов. Если еще попытаться учесть особенности эволюционного моделирования (генетические алгоритмы), то придется вносить какие-то конкретизации по отбору и активности вычислительных элементов (к чему нынешняя математика плохо приспособлена).

Концептуальная схема модели вычислений в парадигме коннекционизма

Рассмотрим коннекционистскую МС. Структурная декомпозиция в соответствии с P1 означает, что состояние вычислителя определяется состояниями его элементов, число которых равно M , и структурой их соединения (P4). Пусть $I, |I| = M$ – множество имен/идентификаторов элементов, причем каждый $i \in I$ элемент принимает состояния из специфицированного для него множества S_i . Без учета индивидуальности связей между элементами $S \equiv S_1 \times S_2 \times \dots \times S_M$. Для задания существования связей можно использовать графы, но удобнее, прежде всего в СА, применять понятие "шаблон окрестности" или, сделав небольшое обобщение, функцию окрестности $u_i: I \rightarrow B(I)$. Для задания качества связей и их количественных характеристик определим общее для всего вычислителя множество L и функцию,

принимаящую на нем значения: $w: I^2 \rightarrow L, W = \{w: (i, j \notin u_i(i)) \Rightarrow w(i, j) = \emptyset\}$.

Постулаты P2, P5, P6 вводят представление об активации. На практике клеточно-автоматного моделирования оно не очень важно, хотя при анализе фазовых превращений мы обращали внимание ранее на возможность необратимого "замерзания" [60] и необходимость исследования особого класса - CA with locking. Для биологических нейронов и физиологии мозга это представление естественно и перекочевало в NN. Для GRID также естественно, поскольку персональный компьютер, формально принадлежащий сети, может быть попросту выключен. Состояние (я) активности введем как унарное отношение, то есть $S_i^+ \subset S_i$. Состояние (я) торможения зададим как $S_i^- = S_i \setminus S_i^+$.

При определении выходной функции остается возможность доопределить ее с учетом распространения активаций, но вначале несколько замечаний о NN и CA. Для NN формально $S_i = \emptyset$, зато есть "входы" и "выходы". Для CA новое состояние ячейки, исчисляемое по функции перехода, тождественно "выходу" (точнее "выходам"), а старое состояние подается на "входы" соседей. Поэтому нужна осторожность в формализме. Примем характер сигналов во всех связях одинаковым, а их формирование зависящим только от качества связи и состояния (центрального) элемента. Сначала нужно сформировать выходные сигналы, а потом изменить состояние элемента с некоторой задержкой. Напомним, что наша модель не должна зависеть от дискретности или непрерывности вычисления во времени t , но переходить от непрерывных величин легче. Таким образом, функция перехода разбивается на две: функцию исчисления входов и функцию исчисления выходов (состояния). Будем рассматривать задержки исчисления входов как компоненту свойства связи $w(i, j)$, задержку исчисления выхода как компоненту свойств элемента - S_i . Таким образом, получаются две группы функций, применяемых только для $s(t) \in S_i^+$:

$$\begin{aligned} s_i(t + \tau_i) &= a_o^i(s_i(t), \langle \sigma_i^{j \in u_i(i)}(t) \rangle) \circ b_o^i(\langle \sigma_i^{j \in u_i(i)}(t) \rangle), \\ \sigma_i^{j \in u_i(i)}(t + \tau_i) &= a_i^i(s_i(t + \tau_i), w(i, j)) \circ b_i^i(s_i(t)), \\ \sigma_i^j(t) &= \sigma_j^i(t - \tau_{ij}), \quad \forall (i, j): (j \in u_i(i)) \wedge (i \in u_j(j)). \end{aligned} \quad (2)$$

Здесь линия связи предполагается двухсторонней, $\sigma_i^j(t)$ - сигнал, идущий от i -го элемента к j -му. Таким образом, состояние вычислителя в момент времени t описывается как

$$s \in S, s(t) = (s_1(t), \dots, s_M(t), \{ \forall (i \in u_j, j \in u_i): (w(i, j), \sigma_i^j(t), \sigma_j^i(t)) \}).$$

Функции активации в (2) удовлетворяют следующим условиям:

$$b_i^i = \begin{cases} \emptyset, s_i(t) \in S_i^- \\ 1, s_i(t) \in S_i^+ \end{cases}, \quad b_o^i(\bullet) = \begin{cases} \emptyset, \varphi_a(\bullet) = \text{false} \\ 1, \varphi_a(\bullet) = \text{true} \end{cases}. \quad (3)$$

Здесь $\varphi_a(\bullet)$ логическое условие активации, обычно формулируемое как "взвешенная сумма сигналов превышает порог", \circ - условный знак суперпозиции функций.

Для строгости в модели вычислений нужно задать правило эволюции (см. P7), однако при рассмотрении одиночного вычисления, кажется, этим можно пренебречь, если, конечно, не предполагается проводить эволюционные вычисления.

6. ЗАКЛЮЧЕНИЕ

Не претендуя на полноту, мы провели систематический анализ основных направлений неклассических вычислений, выделив отдельно три аспекта проблемы: физический, архитектурный и функциональный. В некотором роде функциональный аспект можно отождествить с лингвистическим (Непейвода, [32]). Для каждого направления нами указаны ключевые проблемы, нерешенные на текущий момент времени.

Далее нами впервые поставлен вопрос об абстрактной (минимальной) модели вычислений, постулирован тезис о принципиальной неформализуемости этого понятия и, тем не менее, сделана попытка формализовать его средствами теории множеств.

Показано, что в настоящее время парадигма коннекционизма реализуется в вычислительной технике пятью направлениями: клеточными автоматами, нейронными сетями, клеточными нелинейными (нейронными) сетями, а также грид-вычислениями и вычислительными кластерами. С учетом основных положений коннекционизма и минимальной модели вычислений предложен авторский вариант коннекционистской модели вычислений.

ЛИТЕРАТУРА

1. Данные сайта www.top500.org, ноябрь 2014 г.
2. **Adleman L.M.** Computing with DNA, Scientific American, August 1998, p. 34-41.
3. **Малинецкий Г.Г., Науменко С.А.** Вычисления на ДНК. Эксперименты. Модели. Алгоритмы. Инструментальные средства (ИПСМ им. М.В.Келдыша РАН). http://www.keldysh.ru/papers/2005/prep57/2005_57.html.

4. Паун Г., Розенберг Г., Саломаа А. ДНК-компьютер. Новая парадигма вычислений. – М.: Мир, 2004. 528 с.
5. **Bonnet Jerome, Yin Peter, * Ortiz Monica E., Subsoontorn Pakpoom, Endy Drew.** Amplifying Genetic Logic Gates. SCIENCE VOL 340 3 MAY 2013, p. 599.
6. **Winfrey Erik.** Simulations of Computing by Self Assembly California Institute of Technology Caltech Technical Report CS-TR:1998. 22 May 31 1998 г.
7. **Li Shinsuke Ito, Qing Shen, Dai Susan C. Wu Leonard B. Collins James A. Swenberg Chuan He Yi Zhang.** Tet Proteins Can Convert 5-Methylcytosine to 5-Formylcytosine and 5-Carboxylcytosine // Science 2 September 2011: Vol. 333 No. 6047. P. 1300–1303 DOI: 10.1126/science.1210597.
8. **Bonnet Jerome, Yin Peter, Ortiz Monica E., Subsoontorn Pakpoom, Endy Drew.** Amplifying Genetic Logic Gates // Science 3 May 2013: Vol. 340 No. 6132. P. 599–603 DOI: 10.1126/science.1232758.
9. **Белов П.А., Беспалов В.Г., Васильев В.Н., Козлов С.А., Павлов А.В., Симовский К.Р., Шполянский Ю.А.** Оптические процессоры: достижения и новые идеи. Проблемы когерентной и нелинейной оптики. – СПб, 2006. С. 6–36.
10. **Корешев С.Н.** Основы голографии и голограммной оптики. – СПб: СПбГУ ИТМО, 2009. 97 с.
11. **Carts Y.A.** Optical computing nears reality // Laser Focus World. 1990. V. 26. P. 53–54.
12. **Feynman R.** Simulations physics with computers // J. of Theor. Phys. 1982. V. 21. Nos. 6/7. 1982. P. 467–488.
13. **Benioff Paul.** Quantum mechanical hamiltonian models of turing machines // Journal of Statistical Physics 29 (3). P. 515–546.
14. **Беляев А.К., Клименко В.П.** Анализ модели квантовых вычислений // ММС. 2009. № 2. С. 45–52.
15. **Ahoronov D.A.** Simple Proof that Toffoli and Hadamard are Quantum Universal. – 9 Jan 2003 arXiv: quant-ph/0301040.
16. **Troels F. Rønnow, Zhihui Wang, Joshua Job** Defining and detecting quantum speedup // Science 25 July 2014. Vol. 345. No. 6195. P. 420–424.
17. **Нейман Дж фон.** Теория самовоспроизводящихся автоматов. – М.: Мир, 1971. С. 382.
18. **Ulam S.** Random Processes and Transformations // Proceedings Int. Congr. Mathem. – 1952. № 2. P. 264–275.
19. **Винер Н., Розенблют А.** Проведение импульсов в сердечной мышце. Математическая формулировка проблемы проведения импульсов в сети связанных возбудимых элементов, в частности в сердечной мышце // Кибернетический сборник. Вып.3. М.: Изд. иностр. лит., 1961. С. 756.
20. **Zuse K.** Rechner der Raum. – Braunschweig: Friedrich Vieweg & Sohn, 1969.
21. **Матюшкин И.В., Коробов С.В., Вильданов Р.Р.** Особенности гексагональных клеточных автоматов на плоской поверхности для задач нанотехнологии // Нанозифика и нанотехнологии. ТРУДЫ МФТИ. – 2014. Т. 6, № 1. С. 72–80.
22. **Wolfram Stephen** "A New Kind of Science", May 14, 2002.
23. **Dewdney A.K.** Computer recreations: The cellular automata programs that create Wireworld, Rugworld and other diversions. Scientific American Volume 262, Number 1, January, 1990. P. 136–140.
24. **Ванаг В.К.** Исследование пространственно распределенных динамических систем методами вероятностного клеточного автомата // Успехи физических наук. 1999. № 5. Т. 169.
25. **Непейвода А.Н.** Реверсивные вычисления: обзор мирового опыта / Параллельные вычисления и задачи управления РАСО'2012 // Труды шестой международной конференции. – М., 2012. Т. 2. С. 129–142.
26. **McCulloch W.S., Pitts W.** A logical calculus of the ideas immanent in nervous activity // Math Biophys. 1943. 5. P. 113–133.
27. **Werbos P.J.** Beyond regression: New tools for prediction and analysis in the behavioral sciences. – Ph. D. thesis, Harvard University, Cambridge, MA, 1974.
28. **Hopfield J.J.** Neural networks and physical systems with emergent collective computational abilities – Proc. NatL Acad. Sci. USA. 1982. Vol. 79. P. 2554–2558.
29. **Ackley David H., Hinton Geoffrey E., Sejnowski Terrence J.** A Learning Algorithm for Boltzmann Machines // Cognitive Science 9 (1). 1985. P. 147–169.
30. **Hecht-Nielsen R.** Kolmogorov's mapping neural network existence theorem // First Annual Int. Conf. on Neural Networks. San Diego. 1987. Vol. 3. P. 11–13.
31. **Joseph L. McCauley Z.** Chaotic Dynamical Systems as Automata Naturforsch. 42 a. P. 547–555 (1987); received December 22, 1986.
32. **Siwak Pawel.** Iterons, fractals and computations of automata // AIP Conference Proceedings 03/1999; 465 (1). P. 367–394.
33. **Chua L.O.** (October 1988). Cellular neural networks: theory // IEEE Transactions on Circuits and Systems (IEEE). CAS-35 (10). P. 1257–1272.

34. **Voroshazi Zsolt.** Investigation of emulated-digital CNN-UM architectures: retina model and cellular wave computing architecture implementation on FPGA. Phd Thesis, Univ. of Pannonia, Poland, 2009–109 p.
35. **Baatar Chagaan, Porod Wolfgang, RoskaTamas.** Cellular Nanoscale Sensory Wave Computing, Springer, 2009–257p.
36. **Ercsey-Ravasz Mária-Magdolna.** A Applications of Cellular Neural/Nonlinear Networks in Physics thesis submitted for the degree of Doctor of Philosophy Babe_s-Bolyai University, Faculty of Physics Budapest, 2008.
37. **Коваленко В.Н., Корягин Д.А.** Грид: истоки, принципы и перспективы развития // Информационные технологии и вычислительные системы. 2008. № 4. С. 38–50.
38. **Климов А.В., Левченко Н.Н., Окунев А.С.** Преимущества потоковой модели вычислений в условиях неоднородных сетей // Информационные технологии и вычислительные системы. 2/2012. С. 36–45.
39. **Cerofolini C.F., Mascolo D.** Hybrid Route From CMOS to Nano and Molecular Electronics // Nanotechnology for electronic materials and devices. P. 16–18. ISBN 978-0387-23349-9.
40. **Bennett C.H.** Logical reversibility of computation // IBM Journal of Research and Development. 1973. Vol. 17. No. 6. P. 525–532.
41. **Fredkin E. and Toffoli T.** Conservative logic// Int. J. Theoret. Phys. 1982. 21. P. 219–253.
42. **Lambson B., Carlton D., Bokor J.** Exploring the Thermodynamic Limits of Computation in Integrated Systems: Magnetic Memory, Nanomagnetic Logic, and the Landauer Limit // Physical Review Letters. 2011. Vol. 107. P. 010604 (1)–01604 (4).
43. **Hayes Brian, Base Third.** American Scientist. 2001. Vol. 89.No 6. P. 490–494.
44. **Прохоров В.С.** "Теория информации" Лекции.
45. **Connelly Jeff.** Ternary Computing Testbed 3-Trit Computer Architecture. Computer Engineering Department, August 29th, 2008, with contributions from Chirag Patel and Antonio Chavez. Advised by Professor Phillip Nico. California Polytechnic State University of San Luis Obispo 184 p.
46. **Stakhov Alexey.** Dirac's Principle of Mathematical Beauty, Mathematics of Harmony and "Golden" Scientific Revolution. The International Club of the Golden Section. 6 McCreary Trail, Bolton, ON, L7E 2C8, Canada. 37 p.
47. **Маценко С.М., Арбузов В.В., Петров В.В.** Модифицированный алгоритм помехоустойчивого счета на основе чисел Фибоначчи // Вісник СумДУ. 2013. № 2. С. 61–65. (Технічні науки).
48. **Гетманова А.Д.** Учебник по логике. – М.: Валдос, 1995. ISBN 5-87065-009-7.
49. **Medler David A.** A Brief History of Connectionism. Neural Computing Surveys, 1 (2), 1998. P. 18–72.
50. **Янковская Е.А.** Гетерархия как нередукционистская модель когнитивной системы // Конференция "Ломоносов-2013" – http://lomonosov-msu.ru/archive/Lomonosov_2013/2233/22025_933c.pdf.
51. **Rumelhart D.E., McClelland J.L. and the PDP Research Group, editors.** Parallel Distributed Processing, volume 1: Foundations. MIT Press, Cambridge, MA, 1986.
52. **Bechtel W. and Abrahamsen A.** Connectionism and the Mind: An Introduction to Parallel Processing in Networks. Blackwell, Cambridge, MA, 1991.
53. **Туманов В.Е.** Основы проектирования реляционных баз данных. http://www.intuit.ru/goods_store/ebooks/8322.
54. **Катленд Н.** Вычислимость. Введение в теорию рекурсивных функций /Пер. с англ. – 1983. Мягкая обложка. 256 с.
55. **Гергель В.П., Стронгин Р.Г.** Основы параллельных вычислений для многопроцессорных вычислительных систем : учебное пособие. – Нижний Новгород: Изд-во ННГУ им. Н.И. Лобачевского, 2003. 184 с.
56. **Непейвода Н.Н.** Стили и методы программирования (Электронная книга), 2005. http://www.intuit.ru/goods_store/ebooks/8182.
57. **Климов А.В., Левченко Н.Н., Окунев А.С.** Преимущества потоковой модели вычислений в условиях неоднородных сетей. http://www.isa.ru/jitcs/images/documents/2012-02/36_45.pdf.
58. **Hewitt Carl, Bishop Peter and Steiger Richard.** 1973. A universal modular ACTOR formalism for artificial intelligence. In Proceedings of the 3rd international joint conference on Artificial intelligence (IJCAI'73). Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, pp. 235–245.
59. **Стефанова Т.С.** Отбор содержания обучения неклассическим вычислительным моделям // Известия РГПУ им. А.И. Герцена. 2008. № 58. С. 440–451. URL: <http://cyberleninka.ru/article/n/otbor-soderzhaniya-obucheniya-neklassicheskim-vychislitelnyim-modelyam> (дата обращения: 15.04.2015).
60. **Krasnikov G.Ya., Matyushkin I.V., Korobov S.V.** Visualization of cellular automata in nanotechnology // Modeling of artificial intelligence . 2014. № 3 (3). P. 98–120.

СРАВНЕНИЕ МЕТОДОВ ЭЛЕКТРОННО-ЛУЧЕВОЙ ЛИТОГРАФИИ С НЕПОСРЕДСТВЕННЫМ ФОРМИРОВАНИЕМ РИСУНКА И ИММЕРСИОННОЙ ЛИТОГРАФИИ 193-НМ ДЛЯ ТОПОЛОГИЧЕСКИХ РАЗМЕРОВ 20 НМ

► Питер Брандт, Чару Сардана, Дейл Ибботсон, Марко Виланд, Орельен Фау

Моделирование окна процесса (Process Window – PW) метода электронно-лучевой литографии с непосредственным формированием рисунка (Electron Beam Direct Write – EBDW) было проведено на критической толщине слоев в разработанных компанией Алтера технологиях для топологических размеров 20 нм (минимальный металлический полушаг – 32 нм). Для выбранных участков топологии (рисунка на маске) было проведено непосредственное сопоставление с результатами моделирования для метода иммерсионной литографии 193 нм (193i).

Были рассмотрены следующие слои: Local Interconnect и Via 0 (одиночное формирование изображения), Metal1 (литография-травление-литография-травление (ЛТЛТ), двойное формирование изображения). Было обнаружено, что ширина дозы экспонирования (dose latitude – DL) для метода электронно-лучевой литографии с непосредственным формированием рисунка превышает ширину дозы экспонирования, соответствующую процессу иммерсионной литографии 193-нм, в 4 раза.

Так как для данной топологии общий размер пятна электронного луча (beam spot) составляет величину порядка критического размера (Critical Dimension – CD), взаимозависимость между соседними элементами наблюдается низкая. При непосредственной обработке данных это проявляется в "чистых" окнах процесса. Окна процесса, в свою очередь, лимитированы ошибками установки угла кристалла в заданное положение и краями изображения (line edge). Для EBDW кривые различных участков моделирования почти сливаются в одну, в отличие от результатов метода 193-нм литографии, где они заметно различаются.

В случае электронно-лучевой литографии с непосредственным формированием рисунка, характеристики квадратных и прямоугольных отверстий совпадают, что позволяет увеличить плотность расположения рисунка.

Исследования, результаты которых приведены в этой статье, были выполнены в рамках промышленного консорциума "IMAGINE" в CEA-Leti.

COMPARISON BETWEEN E-BEAM DIRECT WRITE AND IMMERSION LITHOGRAPHY FOR 20 nm NODE

Pieter Brandt, Charu Sardana, Dale Ibbotson, Marco Wieland, Aurelien Fay

E-beam Direct Write (EBDW) process window simulations were performed on critical layers in Altera designs of the 20 nm node (minimum metal half-pitch 32 nm). For selected layout clips, a direct comparison is made with 193i simulation results. Local Interconnect and Via0 (single patterning) and Metall (Litho-Etch-Litho-Etch (LELE) double patterning) layers are considered. The EBDW dose latitude was found to exceed that of the 193i process by a factor 4.

As the electron beam total spot size is of the order of the Critical Dimension (CD) for the considered node, interplay between neighboring features is low. This results in straightforward data preparation with typically 2 kernels and "clean" process windows. The latter are mainly limited by Edge Placement Errors of Line Ends. The curves for the various simulation sites roughly overlap, as opposed to the 193i case in which they differ significantly.

In EBDW the performance of square vias equals that of rectangular vias, enabling a denser via packing.

The research leading to these results has been performed in the frame of the industrial collaborative consortium IMAGINE driven by CEA-Leti.

1. ВВЕДЕНИЕ

Так как минимальный размер элементов продолжает уменьшаться, а возможности главного претендента на новое слово в литографии – литографии экстремального ультрафиолетового диапазона (EUV) не соответствуют растущим требованиям, лидирующие компании по изготовлению логических микросхем планируют развивать метод 193-нм иммерсионной литографии с многократным формированием изображения для получения разрешения 20 нм. За счет разложения элементов на критическом слое на несколько масок иммерсионная литография с многократным формированием изображения позволяет улучшить разрешение и уменьшить размер шага, однако метод ведет к увеличению вариации параметров процесса (Process Variation – PV), что, в свою очередь, является серьезной проблемой для проектирования полупроводниковых модулей. Сегодня изготовление полупроводниковых модулей связано со множеством проблем, а также с повышением потребляемой мощности и ухудшением надежности устройств, что, в свою очередь, ставит задачу найти методы, альтернативные оптической литографии, позволяющие получить высокое разрешение при малых вариациях параметров процесса.

Такой альтернативой является многообещающий метод многолучевой электронной литографии с непосредственным формированием рисунка

(parallel electron beam direct write – (MP-) EBDW), позволяющий получить высокое разрешение при сохранении конкурентоспособной стоимости производства. Созданная в MAPPER Lithography MP-EBDW платформа MATRIX (FLX-1200) в данный момент находится на завершающей стадии разработки [1].

Нами был изучен процесс литографии (математическое моделирование использования иммерсионной литографии 193-нм было проведено в международном центре IMEC, Бельгия) для некоторых критических элементов прикладных микросхем, оперативной памяти и аналоговых блоков производства компании Альтера с топологическими размерами 20 нм, а также проведено сравнение рентабельности процесса производства для данного метода с технологией многолучевой электронной литографии с непосредственным формированием рисунка MAPPER lithography.

2. АВТОМАТИЗАЦИЯ ПРОЕКТИРОВАНИЯ ЭЛЕКТРОННЫХ УСТРОЙСТВ И ИЗМЕНЕНИЕ ПАРАМЕТРОВ ЛИТОГРАФИИ

На рис.1 показан информационный поток (автоматизация проектирования электронных устройств) для оптического и электронно-лучевого методов литографии.

Для достижения разрешения 20 нм применение метода электронно-лучевой литографии (EBDW)

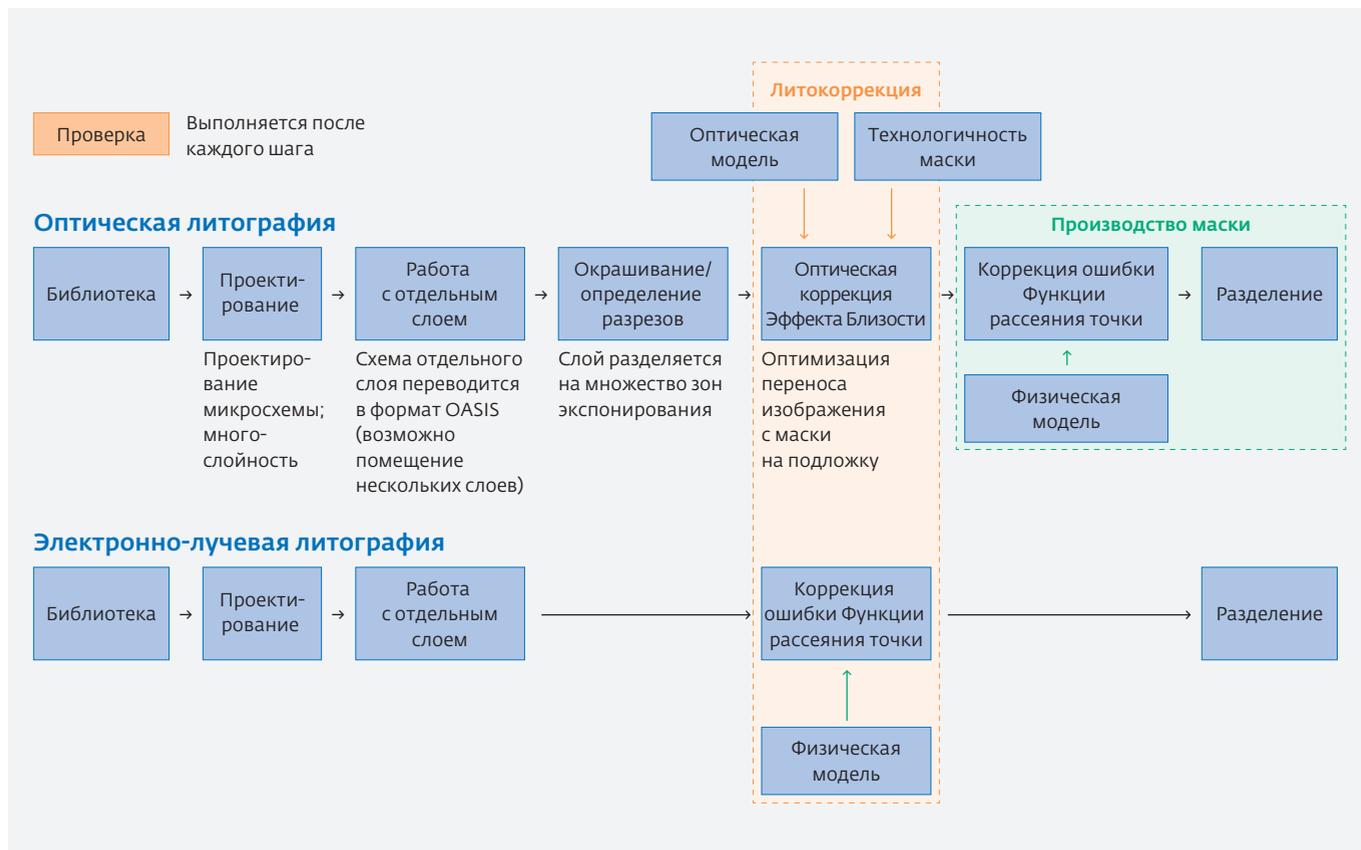


Рис.1. Схематическое изображение потока автоматизации проектирования электронных устройств, для оптической литографии (в том числе для 193-нм иммерсионной литографии) и для электронно-лучевой литографии

значительно проще, чем 193-нм иммерсионной литографии по ряду причин.

Прежде всего, при применении метода электронно-лучевой литографии нет необходимости в использовании фотомасок, что сокращает значительную часть информационного потока.

Во-вторых, при разрешении 20 нм волновые явления электронов не играют никакой роли. Электронные лучи в данном случае могут рассматриваться как двумерные функции рассеяния точки (ФРТ – параграф 2.2).

В случае же субволнового 193-нм фотонного формирования изображения для достижения желаемого разрешения 20-нм явления более высокого уровня, такие как интерференция, принимаются в расчет в сдвиге маски по фазам (Phase Shift Masks – PSM). Широко применяются крайне сложные методы симуляции и коррекции процесса литографии, модель оптической коррекции эффекта близости (ОПС) с $\sim 10^2$ параметрами [2]. К тому же, при оптимизации исходной маски (Source Mask Optimization – SMO) сам световой

источник должен быть сформирован из свободной формы, что предполагает введение дополнительных переменных.

Наконец, маленькие размеры пятна электронно-литографических машин делают возможным одиночное формирование рисунка. Кроме того, учитывая все преимущества метода с точки зрения информационного потока, дизайнеру интегральных схем предоставляется больше свобод для проектирования.

В параграфе 2.1 подробно представлены особенности подготовки информационного потока для метода 193-нм иммерсионной литографии. Автоматизация проектирования электронных устройств для электронно-лучевой литографии с непосредственным формированием рисунка была описана ранее [3], поэтому в данной статье дается лишь краткое описание метода в параграфе 2.2.

В данном исследовании принимается в расчет 4 нм смещение к краю (припуск в размере при переходе от литографии к травлению).

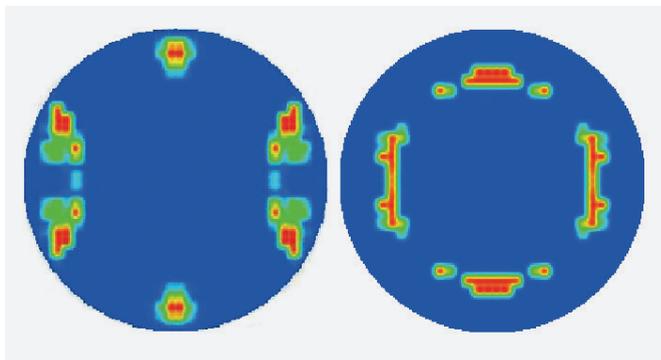


Рис.2. Типичная конфигурация источника, использованная в исследовании. Темное поле (слева) и светлое поле (справа)

2.1. 193-нм иммерсионная литография

В сотрудничестве с ASML и IMEC (1.35 NA 193i) было проведено компьютерное моделирование на 20 нм топологиях (необходимый рисунок на маске) полупроводниковых модулей Altera для слоев LI (Local Interconnect и 90 нм шаг) и Via0 (и 84 нм шаг).

Топологии покрывают целый ряд логических полупроводниковых блоков, включая топологии систем маршрутизации, интегральных микросхем, содержащих стандартные элементы и устройства приема/передачи аналоговых блоков. При моделировании были приняты следующие допущения:

- оптимизация расположения источника (SMO) и маски со свободной подсветкой была рассчитана для небольшого участка; значение бесконтактной оптической коррекции (OPC) было рассчитано для всей топологии с использованием оптимизированного источника, рассчитанного для этого участка. На рис.2 показана типичная конфигурация источника, использовавшегося в этом исследовании;
- исследования аттенюированных темного и светлого полей фазового сдвига маски (PSM) были проведены для достижения наилучших результатов печати 8 и 12 нм MRC. (MRC – Mask Rule Check определяет минимальный допустимый размер элемента на маске, следовательно, ограничение разброса значения OPC / RET коррекции. Меньшее значение MRC позволяет разместить меньшие элементы для оптимизации значения бесконтактной оптической коррекции (OPC);
- 100 нм толщина резиста, типичный BEOL (back-end) стека;
- 4 нм смещение (припуск) к краю (литография-травление);
- одиночное формирование рисунка LI и Via0;

- M1 и 64 нм шаг предполагает двойное формирование рисунка по принципу литография-травление-литография-травление (LELE);
- допустимое отклонение критических размеров (CD) при изготовлении маски: +/-0,5 нм;
- максимальное изменение параметров процесса <5 нм на край.

Для оценки процесса литографии были произведены измерения критических размеров на нескольких участках. Для достижения высокой технологической рентабельности глубина фокуса (DOF) должна составлять порядка 80 нм и 5% шириты дозы (DL). Нам удалось достигнуть глубины фокуса (DOF) в интервале 60–90 нм и 5% шириты дозы DL со значением вариации параметров процесса (PV) ~4–5 нм на край.

2.2. Электронно-лучевая литография с непосредственным формированием рисунка (EBDW)

Функция рассеяния точки литографической машины MAPPER имеет форму двумерной функции распределения Гаусса [3, 4]. Первый Гауссиан в данном случае включает основное пишущее

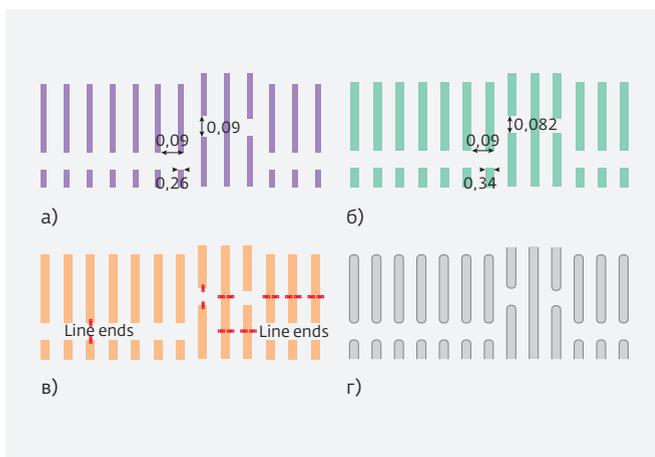


Рис.3. Моделирование потока на участке Local Interconnect: а) проектная концепция образца после травления при критическом размере 26 нм, шаге 90 нм и расстоянии от конца линии до конца линии равным 90 нм; б) проектная концепция после шага травления с 4 нм припуском к краю при переходе от литографии к травлению; в) проектная концепция после коррекции эффекта близости. Области моделирования окна процесса, описанные в параграфе 3.1, показаны красным; д) проектная концепция лито-моделирования коррекции эффекта близости при номинальных условиях экспонирования.

пятно электронного луча: вклад падающего пучка, малоугловое рассеяние электронов в резисте и кислотную диффузию в резисте. Возникновение второго Гауссиана обусловлено действием обратно-отраженных электронов. Интервал распределения второго Гауссиана, как правило, намного шире, чем у первого. За отношение основной и фоновой амплитуды функции рассеяния точки принят параметр η :

$$PSF(r) = \frac{1}{1+\eta} (G_{FW50\alpha}(r) + \eta G_{FW50\beta}(r)).$$

В данной работе ширину функций распределения Гаусса мы обозначили как FW50 (диаметр, содержащий половину потока). Согласно [3]: $FW50\alpha = 26,1$ нм, $FW50\beta = 487$ нм и $\eta = 0,35$ (постоянные параметры резиста). Пишущее пятно, $FW50\alpha$ составляют квадратичное дополнение к изначальному 23 нм пятну и вклад резиста величиной в 12,3 нм.

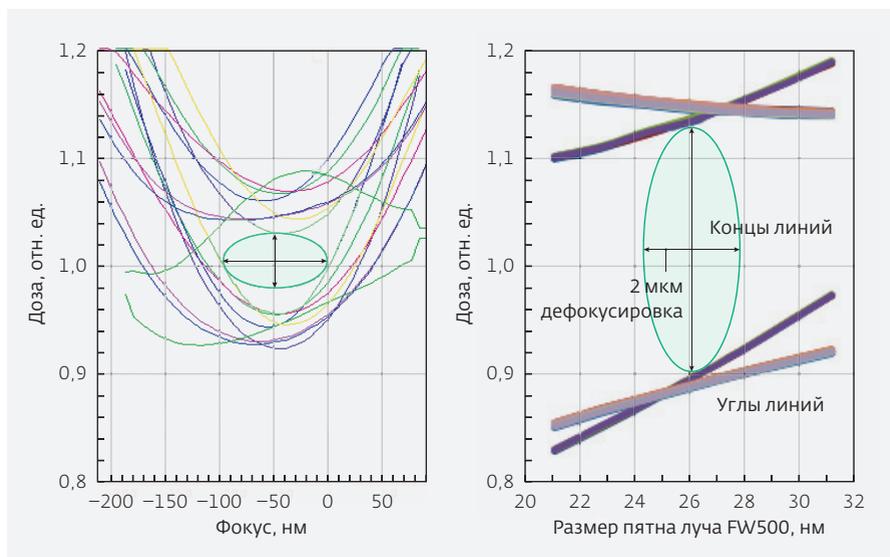


Рис.4. График Боссунга для участка слоя Local Interconnect

Для слоя Via0 референтная доза соответствует дозе, достаточной для экспонирования отверстий в резисте размером 40 нм при величине шага в 84 нм.

Поскольку обратнорассеянные электроны могут проходить большие расстояния перед повторным

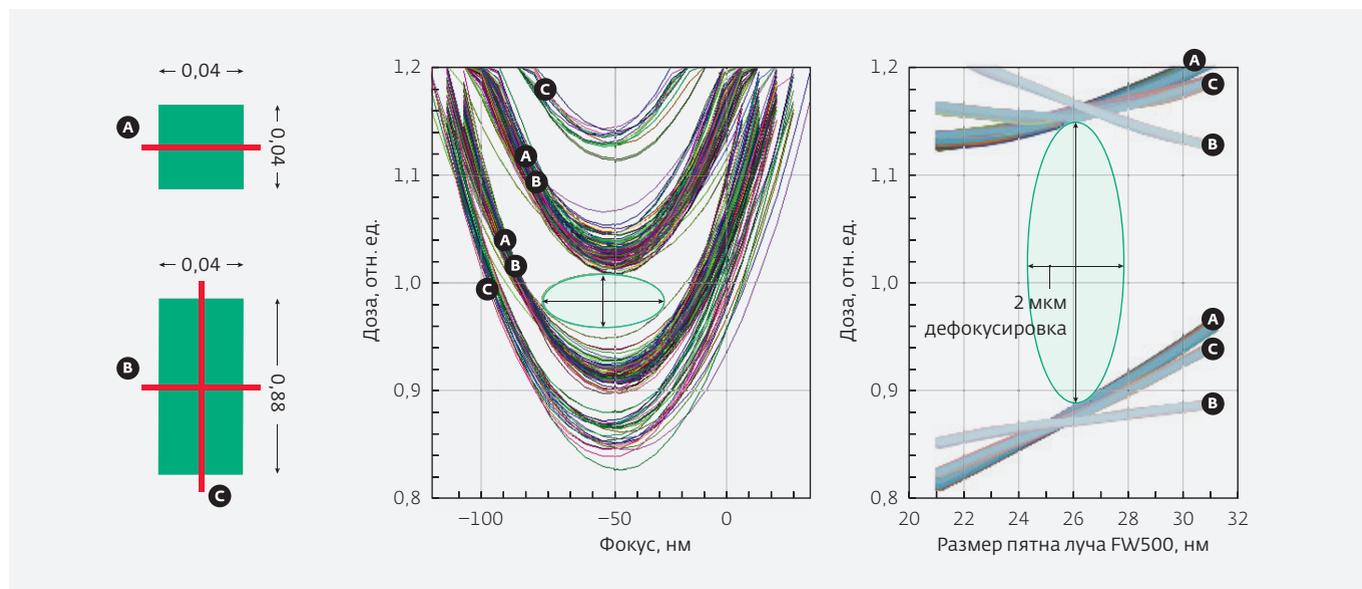


Рис.5. График Боссунга при припуске от литографии к травлению 4 нм на край при интервале вариации параметров процесса 5 нм. (а) Объекты моделирования, изображенные на графике Боссунга (б) и (в). Каждая кривая соответствует верхним и нижним пределам дозы экспонирования на участок измерения. Показано самое большое окно процесса на требуемый промежуток диапазона фокусировки. (а) результат 193-нм иммерсионной литографии при выходе 5% от ширины дозы при глубине фокуса <60 нм. (б) результат электронно-лучевой литографии EBDW, при выходе 26% от ширины дозы при размере пятна в промежутке 24,3–27,8 нм

внедрением в пленку резиста, их некоторое количество вносит вклад в экспонирование областей резиста, расположенных в окрестности нескольких сотен нм от сформированного изображения. Это явление называется эффектом близости. В данной работе был применен метод коррекции влияния эффекта близости на формирование размеров создаваемого изображения. Для слоев Local Interconnect and Metal была проведена корректировка для экспонирования несмещенных линий и канавок для определенных значений дозы, необходимой для экспонирования резиста (dose-to-size).

2.3. Допустимое отклонение отношения CD/EP и окно процесса (PW)

В оптической литографии для описания окон процессов (PW) широко используют графики Боссунга [6]. Эти графики показывают вариацию параметров процесса, связанную с работой установки: доза экспонирования откладывается по вертикальной оси, глубина фокуса – по горизонтальной. Кривые на графике описывают определенные параметры моделирования топологии (необходимого рисунка на маске): критические размеры (CD) или расположение края, верхние и нижние допустимые границы изменения параметров процесса. (Пример представлен на рис.4а – о значении полученных результатов будет говориться в параграфе 3.1).

Наибольшая эллиптическая область в дозе/фокусе пространства, для которой критические размеры (CD), получаемые при любых условиях моделирования, находятся в диапазоне варьирования параметров (PV), называется окном процесса с высотой, равной дозе для достижения ширины заданной проэкспонированной области (Dose Latitude – DL). В общем, с увеличением допустимого значения варьирования параметров (PV), окно процесса (PW) и доза для экспонирования элементов нужной ширины (DL) будут увеличиваться.

На графике Босунга для электронной лучевой литографии (рис.4б) в качестве изменяющегося параметра в системе рассматривается изменение размеров пишущего пятна (для FLX-1200: ± 2 нм при номинальном значении в 23 нм для системы FW50. Для FW50 $_{\alpha}$ диапазон с учетом вклада резиста составляет 24,3–27,8 нм). Последнее частично происходит из расфокусировки, дополнительный вклад в которую вносит переход от одного пучка к другому в электронно-оптической системе. Общий диапазон расфокусировки при изменении размеров пучка ± 2 нм составляет ± 1 мкм.

3. РЕЗУЛЬТАТЫ

3.1. Слой Local Interconnect

На рис.3а изображена проектная концепция конфигурации блока памяти Altera сразу после прохождения этапа топологического проектирования – "уплощения", (рис.1) – при критическом размере и размере шага равными 26 нм и 90 нм соответственно.

Для вариации параметров (PV), соответствующей системе иммерсионной литографии 193-нм, авторами было рассчитано окно процесса (PW) для электронно-лучевой литографии следующим образом:

1. применение 4 нм краевого припуска при переходе от литографии к травлению позволяет получить структуры с критическими размерами (CD) 34 нм при сохраняющемся шаге (рис.3б). Это идентичная отправная точка при моделировании как для иммерсионной 193-нм, так и для электронно-лучевой литографии;
2. коррекция эффекта близости (рис.3с);
3. на рис.3с определение результатов моделирования в заданном диапазоне значений критических размеров CD/EP показано красным;
4. моделирование процесса литографии для различных размеров пучка и различных уровней дозы облучения, с определением критических размеров структур (CD) по результатам моделирования. Смоделированный контур при номинальном размере пятна и дозы показан на рис.3д;
5. для размера пятна рассматривалась интерполяция дозы экспонирования в противовес критическим размерам структуры (CD) с заданным диапазоном значений +/-половина от значения варьирования процесса (PV) для края структуры.

Окно процесса при значении варьирования процесса (PV) 5 нм для обеих систем, как иммерсионной 193-нм, так и электронно-лучевой (EBDW), показаны на рис.4 в единой вертикальной оси. Небольшая (по сравнению с размытой областью, получаемой методом оптической литографии) электронно-лучевая пишущая область позволяет получить окно процесса (PW) в 4 раза больше. Кроме величины окна процесса (PW), простота описания электронно-лучевой литографии (EBDW) графиком Боссунга выгодно отличает ее от литографии иммерсионного типа (193-нм). В последнем случае отдельные результаты моделирования, представленные на рис.3с значительно отличаются по значению окна процесса (PW) из-за сложной физики оптической литографии, которая включает в себя помехи и фазовые явления.

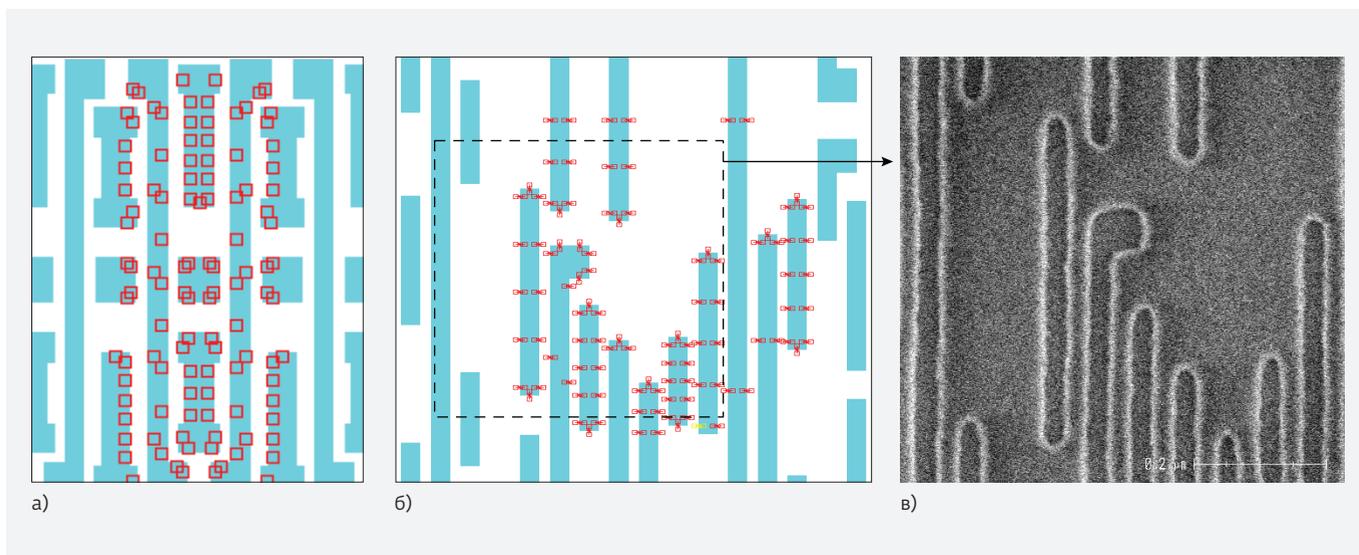


Рис.6. Слой Metall в устройствах оперативной памяти Altera после припуска 4 нм на край при переходе от литографии к травлению. Объекты моделирования показаны красным. (а) участки топологии при размере полушага 90 нм и минимальном промежутке 24 нм. (б) участок топологии при полушаге 32 нм. (в) Результат экспонирования (б)

В графике Боссунга для участков межсоединения слоя Local Interconnect, для электронно-лучевой литографической машины можно рассмотреть только два различных типа поведения, что является еще одним показателем относительной простоты бесконтактной коррекции (PEC). Для линейных краев (Line Edges) верхняя и нижняя границы диапазона доз примерно симметричны номинальной дозе. Диапазон доз уменьшается с увеличением размера пишущего пятна электронного пучка (beam spot) в основном из-за потерь в ширине экспонированных областей. Концы линий, наоборот, показывают положительную зависимость дозы от размера

пятна, как для нижнего, так и для верхнего пределов диапазона варьирования параметров процесса (PV). При размере пятна меньше номинального на крайних участках линий (Line End) наблюдается эффект чрезмерного экспонирования, что приводит к увеличению размеров линии (Line End Push Out); для пятна большего размера, чем номинальный, на концах линий наблюдается эффект недостаточного экспонирования, что приводит к укорочению линии (Line End Pull Back). Зависимость размеров линий от размеров пятна является ограничивающим фактором для окна процесса в данной системе.

Таблица 1. Сравнение ширины дозы для технологии 193-нм и электронно-лучевой литографии с непосредственным формированием рисунка для различных слоев и типов изображений

Слой	Интервал изменения параметров процесса	Ширина дозы (DL)	
		193-нм литография	Электронно-лучевая литография с непосредственным формированием рисунка (EBDW)
Local Interconnect	5,0 нм	5% и 90 нм глубины фокуса	23%
Via0	4,2 нм	5% и <60 нм глубины фокуса	26%
Metall	5,0 нм	Нет данных	21%

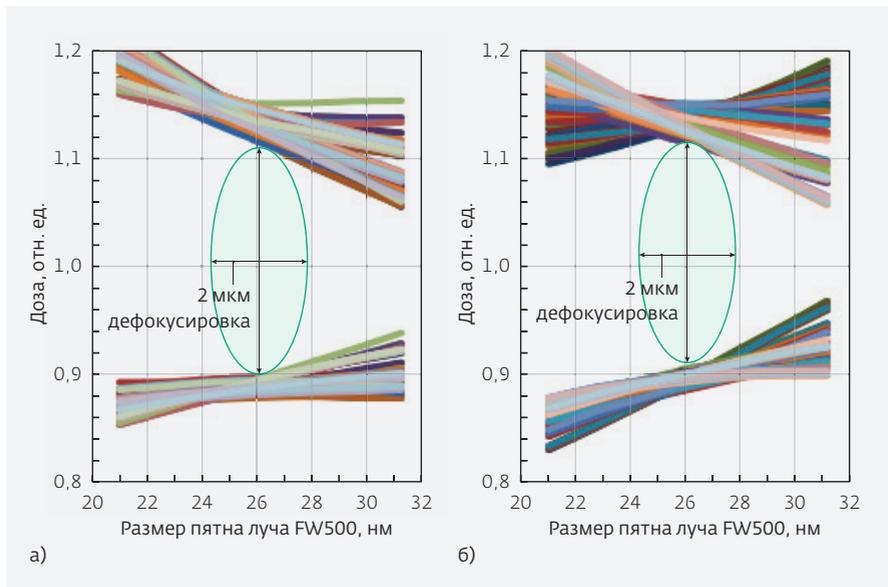


Рис.7. График Боссунга в случае использования электронно-лучевой литографии с непосредственным формированием рисунка (EBDW) для участков слоя Metal1 (рис.6), при размере пятна 24,3–27,8 нм при выходе 21% от ширины дозы: а) металлизация А, б) металлизация В

3.2. Via0

Слой Altera Via0 содержит прямоугольные и квадратные отверстия размерами 40×40 нм и 40×88 нм соответственно (включая 4 нм припуск к краю при переходе от литографии к травлению).

На рис.5 показаны Графики Боссунга для большого участка слоя Via0 при минимальном шаге 84 нм, при интервале изменения параметров процесса равном 4,2 нм. На рис.3а определены три области моделирования. Они также обозначены на графиках Боссунга (б) и (в).

Из графика Боссунга для 193-нм иммерсионной литографии видно, что области моделирования

3.3. Слой Metal1

Слой Altera Metal1 выглядит более сложно, чем слои Local Interconnect и Via0. В данном исследовании рассматриваются участки слоя Metal1 для устройств оперативной памяти (рис. 6а, б), при интенсивной обработке после этапа литографии минимальный полушаг уменьшается с 32 нм до 24 нм соответственно.

Рис.6с показывает участок (б) на резисте, экспонированный с помощью пре-альфа установки MAPPER, размещенной в CEA-Leti (Grenoble, France) [7] в 2009.

типа С соответствуют большей ширине дозы (DL), чем области А и В, что дает характеристическое преимущество для прямоугольных отверстий перед квадратными: лучшая ширина дозы в одном направлении в последнем случае позволяет достичь лучших результатов при экспонировании и проявлении отверстий. Это преимущество достигается ценой снижения плотности рисунка: для расположения прямоугольных отверстий нужно больше места, чем для квадратных.

В случае использования электронно-лучевой литографии характеристики прямоугольных и квадратных отверстий совпадают, что позволяет проектировщикам электронных схем не сильно заботиться о точности.

Таблица 2. Сравнение интервалов изменения процесса для технологии 193-нм и электронно-лучевой литографии с непосредственным формированием рисунка для различных слоев и рисунков

Слой	Доза экспонирования	Интервал изменения параметров процесса	
		193-нм литография	Электронно-лучевая литография с непосредственным формированием рисунка (EBDW)
Local Interconnect	5%	5 нм и 90 нм глубины фокуса	1,5 нм
Via0	5%	4,2 нм и <60 нм глубины фокуса	1,2 нм
Metal1	5%	Нет данных	1,6 нм

Графики Боссунга на рис.7 демонстрируют окна процесса для обеих случаев >20%.

4. ОБСУЖДЕНИЕ РЕЗУЛЬТАТОВ

Величины доз экспонирования, соответствующие различным слоям окон процессов, представлены в табл.1. Для слоев Local Interconnect и Via1 ширина дозы экспонирования (DL) электронно-лучевой литографии с непосредственным формированием рисунка в 4 раза превышает ширину дозы в случае применения 193-нм иммерсионной литографии. Для слоя Metal1 нет результатов применения 193-нм литографии, однако ожидается, что ширина дозы будет меньше, чем 5%, полученных в случае LI и Via0.

Размер полушага в данном случае был меньше, чем для слоев LI и Via1, что тем более требовало двойного формирования рисунка. В случае применения электронно-лучевой литографии с непосредственным формированием рисунка (EBDW) ширина дозы (DL) для слоя Metal1 была лишь немного ниже, чем для слоев LI and Via0.

Все результаты для метода электронно-лучевой литографии с непосредственным формированием рисунка (EBDW) для коррекции эффекта близости были получены при номинальных дозах экспонирования. Как было показано в источнике [3] – при переэкспонировании ширина дозы (DL) должна быть увеличена еще больше.

В табл.2 значения ширины дозы для иммерсионной 193-нм литографии представлены в качестве входных данных для EBDW-моделирования; рассчитаны интервалы изменения параметров процесса. При равных величинах ширины дозы вариация параметров процесса (PV) электронно-лучевой литографии с непосредственным формированием изображения составляет 1,6 нм, то есть всего лишь 25% от PV для 193-нм литографии. Данный факт может смягчить правила проектирования микросхем.

В будущем при достижении разрешения менее 20 нм существующая технология 32 нм для электронно-лучевой литографии EBDW позволит создать технологии для использования при создании структур "cut layers".

БЛАГОДАРНОСТЬ

Авторы хотели бы поблагодарить Aselta Nanographics за их помощь в автоматизации потока проектирования электронных устройств для электронно-лучевой литографии с непосредственным формированием рисунка, который был использован в данном исследовании.

ЛИТЕРАТУРА

1. **Wieland M., De Boer G. et al.** Performance validation of MAPPER's FLX-1200 – Proc. SPIE Vol. 9423, 942334 (2015).
2. **Sturtevant J.L. and Tejnill E.** Roadmap to sub-nanometer OPC model accuracy // Proc. SPIE Vol. 8441, 84410H (2012).
3. **Brandt P.L., Belledent J., Tranquillin C. et al.** Demonstration of electronic design automation flow for massively parallel e-beam lithography // Micro/Nanolith. MEMS MOEMS. 13 (3), 031306 (2014).
4. **Parikh M.** Corrections to proximity effects in electron beam lithography // Appl. Phys. 50, 4371 (1979).
5. **Belledent J., Berglund G.Z.M, Brandt P.L. et al.** Matching of beams on the MAPPER MATRIX tool: a simulation study – Proc. SPIE Vol. 8680, 86800J (2013).
6. **Bossung J.W.** Projection Printing Characterization – Proc. SPIE 0100, Developments in Semiconductor Microlithography II, 80 (1977).
7. **Christiaan van den Berg et al.** Scanning exposures with a MAPPER multibeam system – Proc. SPIE Vol. 7970, 79700D (2011).

КОСМИЧЕСКАЯ ПРОГРАММА И РАДИАЦИОННАЯ СТОЙКОСТЬ СОВРЕМЕННЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

► М.С.Темирбулатов, к.т.н., В.И.Эннс

Статья посвящена проблемам обеспечения стойкости аппаратуры к воздействию радиационных факторов космического пространства. Представлены используемые технологические, топологические и схемотехнические решения при разработке современных микросхем. Приведены параметры стойкости по некоторым зарубежным и отечественным изделиям.

SPACE PROGRAM AND RADIATION HARDNESS OF MODERN IC'S

M.S.Temirbulatov, V.I.Enns

The article is devoted to the problems of ensuring the durability of the equipment to the effects of radiation factors of outer space. Submitted used technological, topological and circuit solutions when designing modern chips. Lists the parameters of durability according to some foreign and domestic products.

1. ВВЕДЕНИЕ

Освоение космического пространства идет с нарастающей интенсивностью. За десятилетие количество орбитальных запусков ракетопосителей увеличилось в мире почти вдвое (см. табл.1). Появились новые страны, претендующие на звание "космических".

Требование надежности работы аппаратуры в условиях космической радиации дает четкое разграничение ЭКБ, пригодной и не пригодной для космического применения. Электроника, отвечающая за жизненно важные функции космического аппарата, усложняется нарастающими темпами. Уровень интеграции микросхем возрастает, диктуя применение технологий с субмикронными топологическими нормами. Это, в свою очередь, приводит к необходимости учитывать особенности влияния космической радиации, не считавшиеся для старых технологий принципиальными.

Топологические нормы не являются определяющими по уровню стойкости к радиационным факторам космического пространства. Применение специальных технологических, топологических и схемотехнических решений, как это уже доказано на практике [7], позволяет обеспечить приемлемый

уровень надежности для технологий с субмикронными топологическими нормами вплоть до 65 нм и ниже.

2. ТРЕБОВАНИЯ К ИНТЕГРАЛЬНЫМ МИКРОСХЕМАМ ДЛЯ АППАРАТУРЫ КОСМИЧЕСКОГО НАЗНАЧЕНИЯ

Требования к бортовой аппаратуре включают параметры стойкости к накопленной дозе для всех видов космического излучения. Требования стойкости для микросхемы по накопленной дозе определяются радиационной обстановкой на выбранной орбите (см. табл.2), уровнем пассивной защиты аппаратуры [2] и длительностью гарантийного срока службы космического аппарата.

Устанавливаются ограничения по интенсивности одиночных эффектов из-за воздействия тяжелых заряженных частиц (ТЗЧ), содержащихся в солнечных космических лучах (СКЛ) и галактических космических лучах (ГКЛ).

Интенсивность возникновения одиночных эффектов в микросхеме определяется интегральным спектром ТЗЧ на выбранной орбите космического аппарата (рис.1) и пороговым уровнем линейной передачи энергии (ЛПЭ) в кремнии. Имеется

Таблица 1. Количество орбитальных запусков ракет-носителей с 2004 по 2014 год

Страна	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	За десятилетие (2005–2014)
РФ	22	26	25	26	27	32	31	32	24	32	32	287
США	16	12	18	19	15	24	15	18	13	19	23	176
КНР	8	5	6	10	11	6	15	18	19	15	16	121
ЕС	3	5	5	6	6	7	6	7	10	7	11	70
Япония		2	6	2	1	3	2	3	2	3	4	28
Индия	1		1	3	3	2	3	3	2	3	4	24
Морской старт	3	4	5	1	5	1		1	3	1	1	22
Иран					1			1	3			5
Израиль	1	1		1			1				1	4
КНДР						1			2			3
Республика Корея						1	1			1		3
Всего в мире	54	55	66	68	68	77	74	83	78	81	92	742

две группы одиночных эффектов, по которым могут быть установлены требования:

- тиристорный эффект (ТЭ) или катастрофический отказ (КО);
- сбой или потеря информации (далее – сбой).

Как это было доказано практическими испытаниями [14], на интенсивность возникновения одиночных эффектов накопленная доза не влияет. Требования стойкости по накопленной дозе и требования по интенсивности одиночных эффектов устанавливаются независимо.

Общие требования стойкости микросхем к радиационным факторам космического пространства сводятся к следующим пунктам.

- Стойкость по накопленной дозе – более 100 крад.
- Пороговый уровень ЛПЭ по ТЭ и КО – более 60 МэВ·см²/мг.
- Пороговый уровень ЛПЭ по сбоям – более 20 МэВ·см²/мг.

Ограничение по пороговому уровню ЛПЭ по ТЭ и КО может быть объяснено с использованием диаграммы на рис.1. Середина ступеньки диаграммы

для ТЗЧ с большими значениями линейной передачи энергии приходится на частицы с ЛПЭ 60 МэВ·см²/мг и более. Поток таких частиц за 10 суток через площадь в 1 см² – менее 1. Учитывая, что сечение одиночного эффекта для микросхемы, как правило, на 1-2 порядка меньше площади кристалла

Таблица 2. Суммарная накопленная доза ионизирующего излучения при толщине сферической алюминиевой защиты 2,5 г/см² (около 1 см) [3].

Орбита	Доза
Низкие околоземные орбиты, включая орбиту МКС (405 км в мае 2015 г.)	2 крад/год
Геостационарная орбита (ГСО), второй радиационный пояс Земли, поверхность Луны	10 крад/год
Первый радиационный пояс Земли	100 крад/год

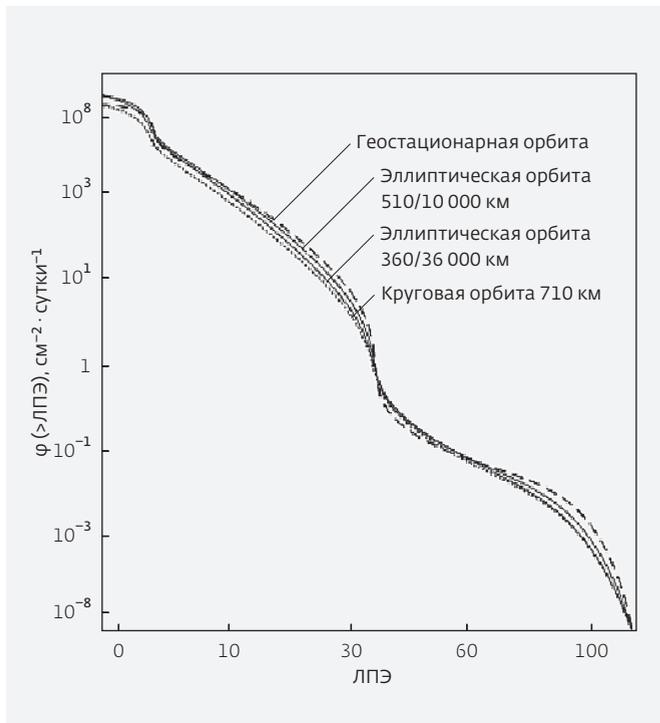


Рис.1. Интегральный спектр тяжелых заряженных частиц [3]. ϕ – поток частиц со значениями линейной передачи энергии (ЛПЭ) больше, чем значение ЛПЭ по оси x

микросхемы, вероятность отказа аппаратуры из-за повреждения микросхемы космической частицей при выполнении установленного требования, вероятно, оказывается технически приемлемой для стандартных космических приложений.

Ограничение по пороговому уровню ЛПЭ по сбоям может быть также объяснено с использованием диаграммы. Обеспечение высокого уровня стойкости по сбоям – достаточно сложная задача, особенно если речь идет об аналоговых микросхемах. Тем не менее, интенсивность одиночных эффектов, определяемая по диаграмме (ЛПЭ – 20 МэВ·см² мг) при выполнении определенных условий для стандартных космических приложений приемлема. Необходимый уровень защиты аппаратуры от сбоев в комплексе достигается схемотехническими и алгоритмическими приемами.

Помимо приведенных выше требований, разработчиками аппаратуры дополнительно может устанавливаться ограничение по сечению насыщения к одиночным эффектам. Например, в [10] требование по сечению насыщения для КО и ТЭ установлено на уровне 10⁻⁴, а для сбоев – 10⁻³ см²/чип.

3. ПОВЫШЕНИЕ РАДИАЦИОННОЙ СТОЙКОСТИ МИКРОСХЕМ КОСМИЧЕСКОГО НАЗНАЧЕНИЯ

3.1. Меры обеспечения стойкости к накопленной дозе

С целью снижения накопленной дозы в аппаратуре с микросхемами, не имеющими достаточного уровня стойкости по данному фактору, может быть установлено экранирование, обычно в виде алюминиевого корпуса. Учитывая, что космическая радиация вызывается частицами в самом широком спектре энергий, имеющими самые разные характеристики проникающей способности, данный способ по снижению накопленной дозы решает задачу лишь частично. Экран защищает в основном от прямого воздействия электронов, позитронов и легких ионов, плотность потока которых резко снижается уже при толщине алюминиевого экрана 1-2 г/см². Дальнейшее утолщение экрана накопленную дозу снижает слабо (см. рис.2).

Более радикальным методом повышения стойкости аппаратуры к накопленной дозе является применение в аппаратуре микросхем, пригодных для продолжительной работы в условиях космической радиации.

Как доказала практика, наилучший выбор здесь – микросхемы КМОП, выполненные по технологии "кремний на изоляторе" (КНИ) или "объемный кремний".

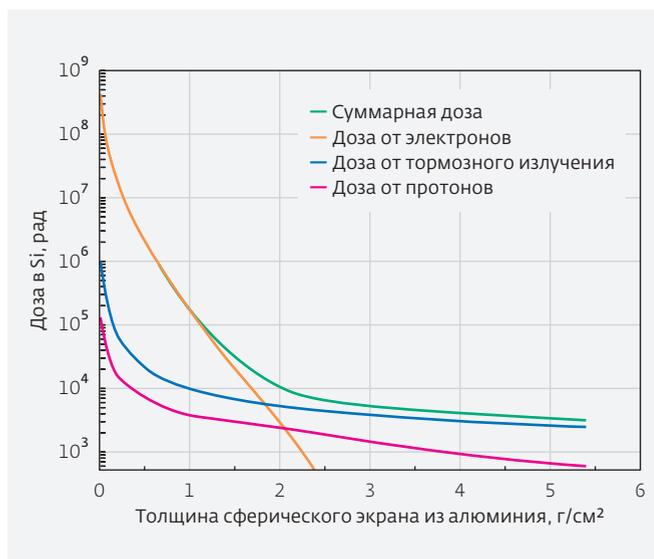


Рис.2. Зависимость поглощенной дозы радиации за 8 лет на солнечно-синхронной орбите (ССО, высота 832 км) в центре сферы из алюминия; от массовой толщины сферического экрана [2].

Для радиационно стойких биполярных микросхем, как показала практика, в условиях низкой интенсивности радиации уровень стойкости по накопленной дозе оказывается ощутимо ниже, чем для микросхем КМОП [12]. Главной причиной здесь является деградация усилительных свойств биполярных транзисторов. В дополнение к этому, деградация радикально не уменьшается и при отсутствии электропитания [16]. Следовательно, применение режима "холодный резерв" для биполярных микросхем (с целью повышения стойкости аппаратуры в комплексе), как правило, является малоэффективным.

Для обеспечения максимальной стойкости по накопленной дозе используют технологию "объемный кремний" с применением кольцевых транзисторов проводимости типа N [15]. Использование таких транзисторов объясняется тем, что основной механизм отказа микросхем КМОП – это возникновение в окисле кремния положительного заряда, индуцированного радиацией (синяя стрелка на рис.3 – по [17]). Положительный заряд увеличивается по мере выдержки в радиации, и может привести к открыванию паразитных каналов утечек как между стоком и истоком транзистора, так и между соседними транзисторами. Правильно организованные кольцевые структуры могут полностью предотвратить возникновение такой утечки.

Следует также отметить, что переход к современным технологиям изготовления подзатворного диэлектрика дал многократное уменьшение эффекта накопления заряда в подзатворном диэлектрике. При накоплении дозы не происходит

существенного изменения порогов рабочих полевых транзисторов.

Наряду с технологией "объемный кремний" для создания радиационно стойких микросхем используется технология КНИ (см. рис.3). Микросхемы КНИ, имеющие скрытый оксид в качестве придонного изолятора транзисторов, несколько уступают в стойкости по накопленной дозе микросхемам, выполненным по технологии "объемный кремний", но выигрывают в стойкости к воздействию ТЗЧ.

Как это показано на рисунке, каждый транзистор находится в кармане, изолированном со всех сторон окислом. Дно кармана соприкасается со скрытым оксидом, который и дает основные ограничения стойкости по накопленной дозе. При воздействии радиации скрытый оксид накапливает положительный заряд, и в транзисторе возникает паразитная придонная утечка ([17] и [12]).

Среди мер по повышению стойкости для таких транзисторов – создание определенного профиля легирования и обеспечение отрицательного напряжения смещения на подложке.

В первом случае в придонной зоне N – канального транзистора, вблизи скрытого оксида создается зона проводимости P+ с повышенным легированием кремния. Это может быть обеспечено как подбором необходимой энергии атомов примеси при ионном легировании, так и использованием технологий с нанесением на пластину эпитаксиального слоя [15]. При этом должны быть решены проблемы, влияющие на воспроизводимость профиля легирования.

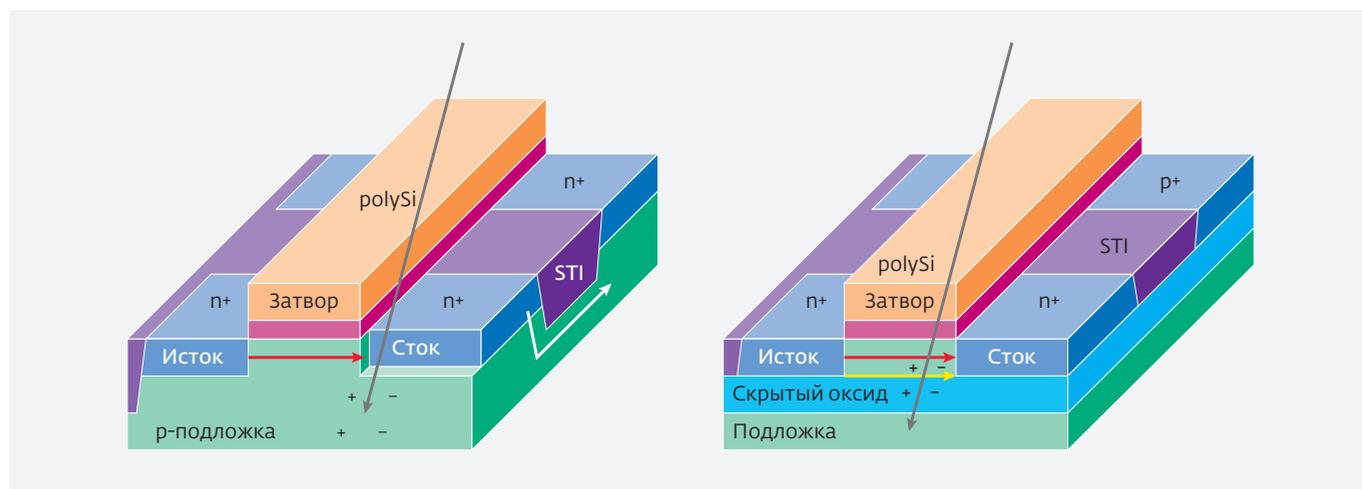


Рис.3. Сравнение мест возникновения утечек при накоплении дозы и мест генерации заряда при попадании частицы в транзисторах с каналом типа N для технологий "объемный кремний" и КНИ [17]

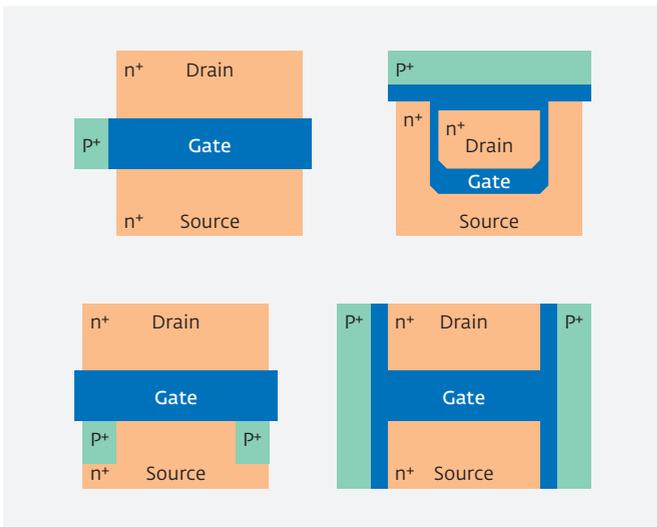


Рис.4. Топология транзисторов линейного типа (I-типа), с затвором в виде кольца (R-типа), А-типа и Н-типа. Электрически области p+ обычно связывают с "-" питания (кроме А-типа) или с истоком (Source)

Во втором случае искусственным образом создается смещение порога паразитного придонного транзистора, компенсирующее определенный положительный заряд в скрытом оксиде. Результаты исследования стойкости микросхем с отрицательным смещением на подложке приводятся ниже.

Другая разновидность утечки при накоплении дозы радиации возникает по краю канала ([17] и [12]). Устранение этой утечки обеспечивает использование транзисторов специальной конструкции – транзисторов Н-типа, транзисторов А-типа, транзисторов с затвором в виде кольца (см. рис.4). В отличие от линейного, в стойких транзисторах либо нет толстого оксида по краю канала (транзистор R-типа), либо толстый окисел по краю канала соприкасается с областями p+, что также препятствует возникновению краевой утечки.

Особую проблему вызывает обеспечение стойкости элементов аналоговых интегральных схем, главным образом компараторов, входных дифференциальных цепей операционных усилителей, а также диодов в источниках опорного напряжения на основе ширины запрещенной зоны. Стойкость таких микросхем обеспечить тем сложнее, чем более точными (прецизионными) они являются.

На стойкость микросхемы могут повлиять самые неожиданные проявления положительного заряда оксида. В литературе (например, в [15]) можно найти описание изменений площади p-n-перехода

под воздействием положительного заряда в прилегающих элементах изоляции. Недочет этого может привести к уходу выходного потенциала из-за непропорционального изменения характеристик диодов по мере накопления дозы. Другой эффект наблюдался авторами при радиационных испытаниях экспериментальных образцов аналоговых микросхем. Неудачно использованный поликремниевый резистор проводимости типа P увеличивает свое сопротивление при возникновении в прилежащем оксиде положительного заряда, что приводит к неверной работе микросхемы.

Разработка действительно стойкой аналоговой микросхемы – в большей степени искусство команды схемотехников, топологов, испытателей [20]. Полезной является и работа по верификации схемы: поиск влияния на ее характеристики эффектов, связанных с накоплением положительного заряда в оксиде.

Применение для отдельных узлов или всей микросхемы режима "холодный резерв" также может оказаться действенным способом повышения стойкости к накопленной дозе, особенно аналоговых микросхем. На данный момент этот подход разрабатывается слабо, хотя есть доказательства его эффективности. Например [16] – стойкость микросхем промышленного назначения в режиме "холодный резерв" увеличивается в 6 раз.

3.2. Меры обеспечения стойкости к возникновению одиночных эффектов

В комплекс мер защиты от одиночных эффектов из-за воздействия космических частиц входит следующее:

- обеспечение пассивной защиты от легких частиц и частиц с малыми энергиями методом экранирования [2];
- обеспечение стойкости микросхем к повреждающему воздействию ТЗЧ;
- обеспечение стойкости микросхем к потере информации в элементах памяти и сбоям.

Для космической аппаратуры обеспечение пассивной защиты до уровня 1-2 г/см² больших проблем не представляет. Такая защита позволяет снизить интенсивность прямого воздействия легких частиц, с ЛПЭ до 2 МэВ·см²/мг, на несколько порядков. Для более тяжелых частиц, с ЛПЭ 10 МэВ·см²/мг и более, требуется использование микросхем, специально спроектированных для работы в космическом пространстве.

С целью обеспечения стойкости микросхем к тиристорному эффекту, как к одной

из разновидностей повреждающего воздействия ТЗЧ, наиболее целесообразным является использование технологии КНИ. Для технологии КНИ с транзисторами в полностью изолированных карманах возникновение тиристорной защелки невозможно.

Использование технологии "объемный кремний" для микросхем космического назначения также допустимо. Но для предотвращения защелкивания паразитных тиристорных структур используют радиационно стойкую библиотеку элементов, в которой предусмотрены меры для снижения возможного тока инжекции ниже уровня тиристорного защелкивания. В этой библиотеке обильно используют охранные кольца, разделяющие области транзисторов различной проводимости.

Катастрофический отказ, как другая разновидность повреждающего воздействия ТЗЧ, не имеет единой причины. Он может быть вызван пережиганием проводника в слое металлизации и пробоем подзатворного диэлектрика. Стойкость по катастрофическим отказам определяется обеспечением необходимого уровня конструктивно-технологических запасов при проектировании топологии изготовления микросхемы. Использование современных САПР облегчает задачу установкой необходимых параметров в правилах проектирования топологии и схемотехники.

3.3. Методы повышения стойкости микросхем к сбоям

Обеспечение стойкости к сбоям из-за воздействия ТЗЧ – одна из наиболее сложных задач.

На рис.3 приведена иллюстрация эффекта ионизации в транзисторах при попадании ТЗЧ. В месте попадания производится ионизация, генерация положительных и отрицательных зарядов и локальный разогрев, и транзистор, независимо от типа проводимости, кратковременно открывается. Это может привести к потере информации, либо к появлению локальных импульсов напряжения или тока.

Проблема усугубляется с уменьшением топологических норм, когда в трек ионизации от космической частицы попадает несколько транзисторов [7]. В случае микросхемы, например, с топологическими нормами 65 нм в поражаемой области может оказаться несколько десятков транзисторов. В случае микросхемы запоминающего устройства с шестью транзисторными ячейками памяти в поражаемой области может оказаться до девяти ячеек памяти.

Решение задачи повышения стойкости к сбоям разбивается на несколько этапов:

- использование транзисторов, имеющих повышенную устойчивость к сбоям;
- построение элементов библиотеки по электрическим схемам, имеющим повышенную устойчивость к возникновению кратковременного замыкания отдельных транзисторов;
- применение помехоустойчивого кодирования информации с системой коррекции ошибок.

Для технологии КНИ решение по первому пункту связано с подавлением так называемого "кинк эффекта" – кратковременного появления облака положительных зарядов вблизи истока транзистора с каналом типа N [18]. Лучше всего подавляет "кинк эффект" применение специального транзистора типа А с минимальными длиной и шириной канала. Следует отметить, что применение такого транзистора несколько улучшает стойкость по накопленной дозе и стойкость по мощности импульса ионизирующего излучения.

При построении элементов библиотеки с повышенной стойкостью к сбоям и потерям информации используется самый разный подход.

Элементы памяти строятся не на стандартных шести транзисторных ячейках, а на базе ячеек типа DICE, например, описанных в [11]. Там же приводятся электрические схемы усиленных ячеек памяти на 11 и 13-ти транзисторах. Как показали испытания микросхем с топологическими нормами 65 нм, при переходе от простых шести транзисторных ячеек памяти к DICE ячейкам сечение насыщения по потере информации уменьшается в 1000 раз [8].

Решение по второму пункту связано с использованием специальных схемотехнических приемов и выполнением требований с размещением отдельных транзисторов друг относительно друга. Для цепей синхронизации, триггеров и других важных узлов применяют тройное резервирование со схемами мажорирования. Устойчивость к сбоям повышается многократно, но при этом самым уязвимым местом остается сама схема мажорирования. Еще более ситуацию улучшает применение таких схем мажорирования, где каждый транзистор заменяется на пару последовательно включенных транзисторов, отстоящих друг от друга на расстояние, превышающее сечение трека ионизации. Тем не менее все еще сохраняется возможность сбоя при ударе частицы под острым углом к поверхности кристалла, когда воздействию одновременно подвергаются оба

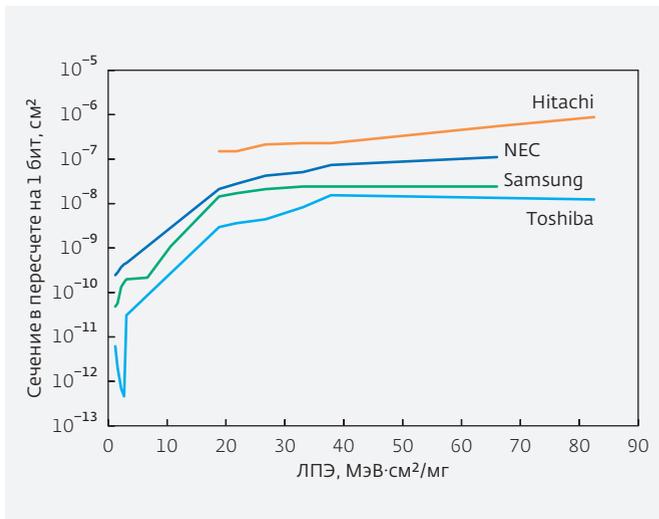


Рис. 5. Зависимость сечения отказа в пересчете на 1 бит информации от значения ЛПЭ [13], полученная при испытаниях микросхем динамического ОЗУ 64 Мбит для различных фирм-изготовителей. Площадь ячейки одного бита – около $2 \cdot 10^{-8}$ см², площадь микросхем – около 1,5 см²

транзистора. Использование в схеме мажорирования трех транзисторов, которые невозможно задеть одной частицей, решило бы задачу иммунитета к сбоям радикально, если бы порог составного транзистора был приемлемым для работы схемы.

Решение по третьему пункту связано с применением специальных алгоритмических методов, позволяющих исправлять одиночные ошибки. Есть микросхемы СОЗУ иностранного производства, содержащие активное ядро, непрерывно циклически перезаписывающее информацию с одновременной коррекцией ошибок. Помехоустойчивое кодирование информации в ОЗУ со схемой коррекции одиночных ошибок позволяет на несколько порядков снизить интенсивность потерь данных, если выполнено главное условие для топологии схемы: космическая частица не должна вызвать сбой сразу в нескольких битах исправляемого слова. При любом расположении ячеек памяти вероятность такого сбоя не равна нулю. Как известно, всегда есть риск удара частицы под острым углом к поверхности кристалла с одновременным поражением двух ячеек памяти.

На рис. 5 показана зависимость сечения отказа в пересчете на 1 бит информации от значения ЛПЭ, которая поясняет ограничения при проектировании топологии с субмикронными

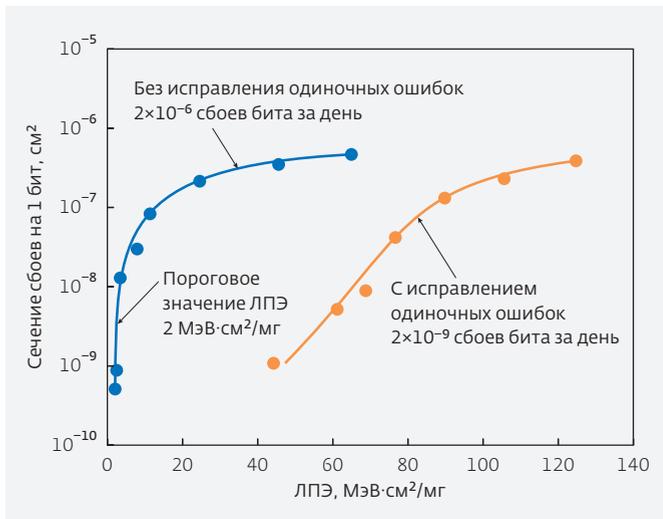


Рис. 6. Зависимость сечения сбоев из-за воздействия космических частиц на 1 бит в микросхеме памяти промышленного назначения (топологические нормы 65 нм) от ЛПЭ при выключенной и включенной коррекции одиночных сбоев (по [13])

топологическими нормами [13]. Простой пересчет показывает, что при ЛПЭ более 60 МэВ·см²/мг размер поражаемой области составляет от 1 до 10 мкм, в зависимости от конструкции ячейки памяти. Анализ рисунка приводит к выводу, что для микросхем фирмы Toshiba отсутствует вероятность множественного сбоя – потери информации сразу в нескольких ячейках памяти при ударе частицы перпендикулярно поверхности кристалла. Для других микросхем расположение ячеек памяти одного слова в непосредственной близости друг к другу приведет к тому, что доля множественных ошибок будет велика, и помехоустойчивое кодирование будет неэффективным.

Как справляется система коррекции одиночных ошибок со сбоями, вызванными ТЗЧ, иллюстрирует рис. 6. Для большей наглядности приведены данные [13] по микросхеме промышленного назначения, не имеющей высокой стойкости к сбоям и потере информации (при отключенной системе коррекции). При введении коррекции ошибок интенсивность сбоев бита за день на геостационарной орбите уменьшается в 1000 раз: с $2 \cdot 10^{-6}$ до $2 \cdot 10^{-9}$. Следует также отметить, что система коррекции одиночных ошибок не изменяет сечения насыщения одиночных эффектов, но может существенно увеличить пороговое значение ЛПЭ.

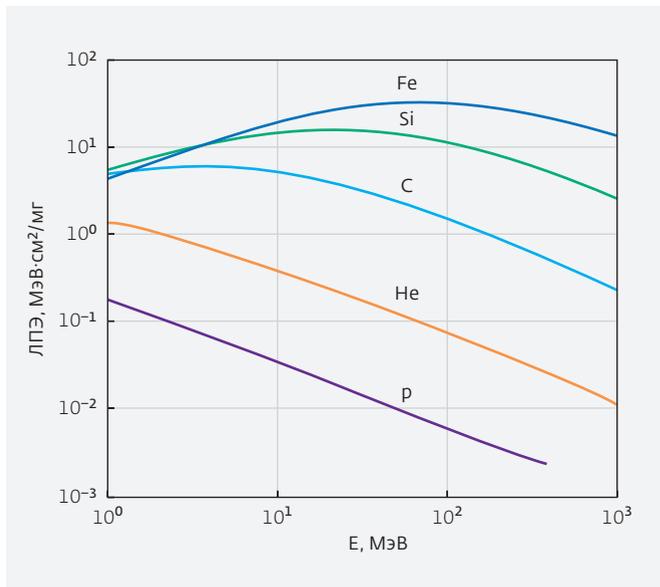


Рис.7. Зависимость ЛПЭ в кремнии от энергии (E) и типа частицы

4. ЭКСПЕРИМЕНТАЛЬНОЕ ОПРЕДЕЛЕНИЕ СТОЙКОСТИ К ВОЗНИКНОВЕНИЮ ОДИНОЧНЫХ ЭФФЕКТОВ

Та часть энергии ТЗЧ, которая расходуется на ионизацию активной зоны кристалла микросхемы, пропорциональна значению ЛПЭ частицы в кремнии, и зависит от ее массы покоя. ЛПЭ также зависит от энергии частицы (см. рис.7). Для каждого химического элемента существует так называемый "пик Брэгга" – значение энергии, при котором ЛПЭ имеет максимум. Чем тяжелее частица, тем больше для нее пиковое значение ЛПЭ.

Применяемые для испытаний на стойкость к воздействию ТЗЧ химические элементы приведены в табл.3.

В процессе бомбардировки микросхемы ионами проводится сбор данных и строится зависимость сечения одиночных эффектов от значения ЛПЭ частицы. По данной зависимости оценивается сечение насыщения одиночных эффектов и пороговое значение ЛПЭ.

Как показывает практика, построенная зависимость без работы системы исправления одиночных ошибок поддается аппроксимации функцией Вейбулла.

В случае работы системы исправления одиночных ошибок аппроксимация функцией Вейбулла становится невозможной.

Таблица 3. Характеристика элементов, используемых при испытаниях на стойкость к воздействию ТЗЧ [5]

Значение ЛПЭ, МэВ·см²/мг	Энергия иона, МэВ	Химический элемент	Название элемента
6	81	Ne	неон
16	146	Ar	аргон
41	269	Kr	криптон
69	435	Xe	ксенон
99	825	Pb	висмут

5. ПАРАМЕТРЫ РАДИАЦИОННО СТОЙКИХ МИКРОСХЕМ ЗАРУБЕЖНЫХ ПРОИЗВОДИТЕЛЕЙ

За рубежом несколько компаний специализируются на выпуске микросхем для использования в космической аппаратуре. Заявленные характеристики стойкости некоторых микросхем сведены в табл.4.

Радиационно стойкие микросхемы выпускает фирма Honeywell с собственным производством СБИС и с радиационно стойкой библиотекой элементов Synopsys (<http://aerospace.honeywell.com>).

Другой участник – фирма Cobham (бывшая Aeroflex – <http://www.aeroflex.com>), изготавливающая микросхемы с эпитаксиальной пленкой. Фирма является разработчиком радиационно стойкого СОЗУ UT8ER512K32 с системой непрерывного сканирования и исправления одиночных ошибок SCRUB [19].

Фирма Atmel (<http://www.atmel.com>) выпускает микросхемы с использованием радиационно стойкой библиотеки ATC18RNA, элементы которой выдерживают накопленную дозу радиации 300 крад. В 2005 году фирма выпустила радиационно стойкий 32-битный SPARC-процессор AT687. Процессор имеет встроенную систему тройного резервирования от одиночных сбоев, а также систему обнаружения и устранения ошибок. Процессор предназначен для использования в космосе.

Фирма Xilinx (<http://www.xilinx.com>), специализирующаяся на выпуске ПЛИС сложностью до 1 млн. вентилях, располагает номенклатурой

Таблица 4. Сводные данные по ряду радиационно стойких микросхем зарубежного производства

Фирма	Тип микросхемы	Топологические нормы, мкм	Стойкость к накопленной дозе, крад	Стойкость к мощности дозы, рад/с	Уровень бесбойной работы, рад/с	Одиночный эффект типа сбоя или потери информации, МэВ·см ² /мг	Одиночный эффект типа КО или ТЭ, МэВ·см ² /мг (при 125°С)	Стойкость к потоку нейтронов с энергией 1 МэВ, нейтрон/см ²
Honeywell	СБИС до 15 млн. вентилях на платформе HX5000	0,15	1000	10 ¹²	10 ¹¹	–	–	10 ¹⁴
	микروпроцессор HXRHPPC		300	10 ¹²	5·10 ¹⁰	–	–	10 ¹⁴
Actel, FPGA	RTAX-S/SL RTAX-DSP	0,15	200	–	–	30	117	–
	RTSX-SU	0,25	100	–	–	40	–	–
	RH1280B	0,8	300	–	–	–	–	10 ¹²
Aerolex, семейство СБИС	UT90nHBD	0,09	300	–	–	–	100	–
	UT130nHBD	0,13	300	–	–	–	110	–
	UT0.25uHBD	0,25	300	–	–	–	110	–
	UT0.6uCRH	0,6	300	–	–	–	128	–
Xilinx, FPGA	Virtex-4QV	0,09	300	–	–	–	100	–
	Virtex-5QV	0,065	1000	–	–	–	100	–
Atmel,	СБИС ATMX150RHA	0,15	100	–	–	75	95	–
	32-битный RISC процессор AT687F	0,18	100	–	–	70	95	–
	FPGA AT40KEL040 AT40KFL040	0,35	300	–	–	–	70	–

радиационно стойких микросхем. ПЛИС имеют встроенную систему тройного резервирования на программируемых элементах.

Фирма Actel (<http://www.actel.com>) выпускает радиационно стойкие однократно программируемые ПЛИС по технологии "антифьюз" с числом вентилях до 2 млн. Микросхемы используются для задач телеметрии и позиционирования на коммерческих и военных спутниках.

Данные, приведенные в таблице позволяют сделать следующий вывод: стойкость по накопленной дозе не зависит от топологических норм.

6. ПАРАМЕТРЫ СУБМИКРОННЫХ РАДИАЦИОННО СТОЙКИХ ИЗДЕЛИЙ ОТЕЧЕСТВЕННОГО ПРОИЗВОДСТВА, ВЫПОЛНЕННЫХ ПО ТЕХНОЛОГИИ КНИ

В распоряжении российских разработчиков микросхем космического назначения имеются унифицированные технологии КНИ уровня 0,18 (0,24) мкм: SOI180 (<http://www.mikron.ru>).

Для дополнительного повышения уровня стойкости микросхемы по накопленной дозе рекомендуется режим работы с подачей отрицательного смещения на подложку. Это приводит к дополнительному

Таблица 5. Уровни стойкости исследуемой микросхемы при различных напряжениях смещения подложки при пороговом значении тока потребления 20 мА

Напряжение смещения на подложке, В	Уровень стойкости по току потребления, крад.	Уровень стойкости по функционированию, крад.
0	3000	>3500
-2	5000	>8000
-4	9000	>10000

подавлению утечек, возникающих при накоплении дозы. По данному фактору стойкость микросхемы, как правило, превышает 1 Мрад.

С целью выбора оптимального режима на одном из изделий проводилось исследование зависимости напряжения смещения на подложке и тока потребления микросхемы, изготовленной по технологии КНИ 0,18 (0,24) мкм. На рис.8 показана зависимость при трех напряжениях смещения на подложке: 0 В, -2 В и -4 В. Напряжение смещения на подложке ниже -4 В для микросхемы является недопустимым, так как приводит к открыванию придонных паразитных р-канальных транзисторов с возрастанием тока потребления микросхемы и ухудшением функционирования. Как показывают диаграммы на рисунке, при напряжении смещения -4 В достигается наибольшая стойкость. Значения стойкости для данной технологии при

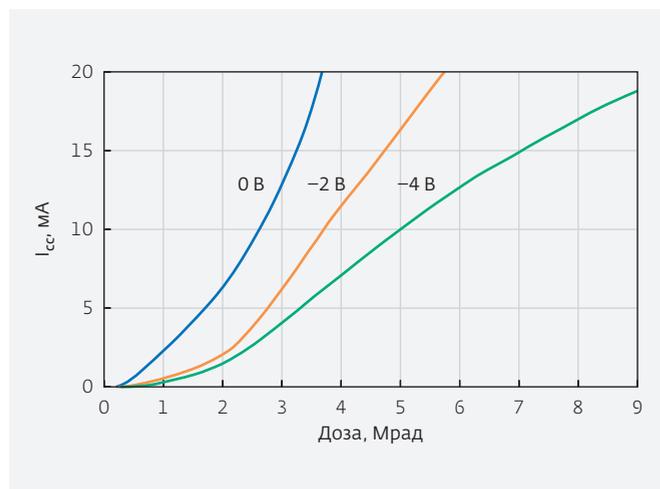


Рис.8. Зависимость тока потребления исследуемой микросхемы от величины накопленной дозы при различных напряжениях смещения на подложке

различных значениях напряжения смещения по току потребления и по функционированию сведены в табл.5.

Стойкость по мощности дозы микросхемы (см. табл.6) устанавливалась для критериев, включающих требование допустимости потери работоспособности длительностью до 2 мсек при номинальном напряжении питания (3,3 В). При предельно достигнутой мощности воздействия добиться потери работоспособности длительностью 2 мсек не удалось. Исследования времени потери работоспособности микросхемы, результаты которых приведены на рис.9, показали, что при повышении напряжения питания длительность времени потери работоспособности возрастает, а, следовательно, стойкость по мощности дозы снижается. Но, как это можно понять из графиков, при этом возрастает стойкость по уровню бессбойной работы.

Испытания исследуемой микросхемы на стойкость к воздействию тяжелых заряженных частиц показали, что до предельно обеспеченных значений ЛПЭ 68 МэВ·см²/мг одиночных эффектов не возникает.

В табл.6 приведены данные нескольких типовых современных отечественных микросхем, выполненных по технологии КНИ.

В колонке "стойкость к мощности дозы" указано предельное значение, обеспеченное при испытаниях. Для всех микросхем таблицы катастрофического отказа и тиристорного эффекта не возникало вплоть до указанного значения мощности дозы.

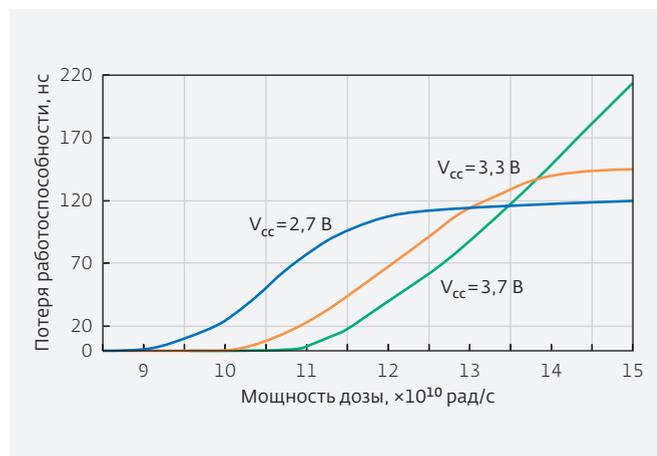


Рис.9. Зависимость времени потери работоспособности исследуемой микросхемы от мощности дозы при импульсном воздействии для различных напряжений питания

Таблица 6. Сводные данные по ряду радиационно стойких микросхем отечественного производства, выполненных по технологии КНИ

Фирма	Тип микросхемы	Топологические нормы, мкм	Стойкость к накопленной дозе, крад	Стойкость к мощности дозы, рад/с	Уровень бессбойной работы, рад/с	Одиночный эффект типа сбоя или потери информации, МэВ·см ² /мг	Одиночный эффект типа КО или ТЭ, МэВ·см ² /мг (при 125°С)	Стойкость к потоку нейтронов с энергией 1 МэВ, нейтрон/см ²
АО "НИИМЭ и Микрон"	БМК 1 млн. вентиля	0,18 (0,24)	1000	$3 \cdot 10^{11}$	$5 \cdot 10^{10}$	не менее 68		10^{14}
	СОЗУ 1 Мбит		500	$3 \cdot 10^{12}$	$2 \cdot 10^{11}$			
	АЦП 10–14 разрядов		100	$2 \cdot 10^{11}$	$3 \cdot 10^7$			
	Масочные ПЗУ 4, 8, 16 Мбит		500	$2 \cdot 10^{12}$	10^{11}			
	АЦ БМК		1000	$3 \cdot 10^{12}$	10^8			

* Параметры стойкости указаны с учетом конструктивно-технологических запасов.

Следует отметить, что большинство из приведенных микросхем испытывались без подачи отрицательного смещения на подложку. В случае обеспечения режима со смещением на подложке, как это следует из графиков на рис.8, микросхемы должны показать стойкость по накопленной дозе в несколько раз более высокую, чем приведенные в таблице данные.

7. ОСОБЕННОСТИ ПРИМЕНЕНИЯ РЕЖИМА "ХОЛОДНЫЙ РЕЗЕРВ" ДЛЯ ТЕХНОЛОГИИ КНИ

Микросхемы аналого-цифрового БМК (см. табл.6) были исследованы на предмет пригодности их использования в режиме "холодный резерв".

Как это уже говорилось, применение режима может оказаться действенным способом повышения стойкости аппаратуры к накопленной дозе.

На рис.10 приведены графики изменения тока потребления в зависимости от накопленной дозы в режиме "холодный резерв" (слева) и в рабочем режиме (справа). Набор дозы для очередной точки проводился с интервалом 1 сутки. Для всех точек, кроме последней, измерения проводились непосредственно после набора дозы. Измерения для последней точки (2000 крад) с целью оценки эффекта естественного отжига накопленной дозы проводились после выдержки 5 суток при

комнатной температуре без подачи отрицательного смещения на подложку.

Как можно понять из графиков, при накоплении дозы в 1000 крад, ток потребления в рабочем режиме изменился в 5–10 раз. Для режима "холодный резерв" изменение тока потребления оказалось несущественным, что говорит само за себя.

6. ЗАКЛЮЧЕНИЕ

С целью обеспечения надежного функционирования в космосе аппаратура должна быть укомплектована микросхемами, имеющими достаточный уровень стойкости к радиационным факторам космического пространства.

При проектировании микросхем с современными топологическими нормами необходимо учитывать особенности, возникающие при уменьшении характерных размеров элементов.

По накопленной дозе современная технология изготовления радиационно стойких микросхем обеспечивает достаточный уровень стойкости для работы в космосе. С уменьшением топологических норм до 65 нм и менее параметры стойкости к накопленному уровню радиации не ухудшаются.

Изделия отечественного производства, выполненные по технологии КНИ, с топологическими нормами 0,18 (0,24) мкм, обеспечивают почти десятикратный запас по стойкости к дозе,

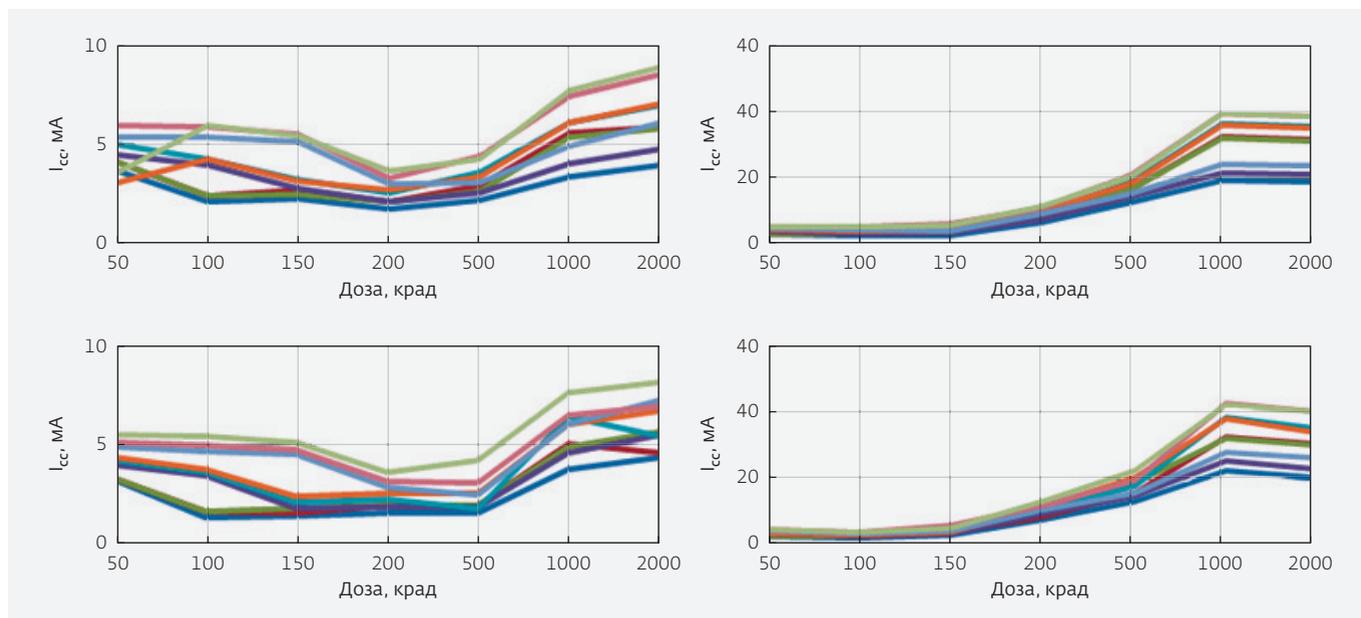


Рис.10. Статический ток потребления для различных режимов по напряжению питания и напряжению на входах. Данные по 4 радиационно стойким микросхемам аналого-цифрового БМК, выполненным по технологии КНИ

накапливаемой за 7 лет эксплуатации в составе космической аппаратуры.

Стойкость к одиночным эффектам типа тиристорного эффекта и катастрофического отказа достигается использованием радиационно стойкой библиотеки элементов и применением технологии КНИ. Стойкость к возникновению тиристорного эффекта и катастрофического отказа из-за воздействия тяжелых заряженных частиц с линейными потерями энергии для радиационно стойких микросхем отечественного производства – более 68 МэВ·см²/мг.

Стойкость к потере информации в ЗУ значительно улучшает система исправления одиночных ошибок. Для обеспечения приемлемого уровня частоты сбоев в микросхемах с современными топологическими нормами используются радиационно стойкие библиотеки элементов. В целом технологические, топологические, схмотехнические решения в современных микросхемах и применение систем исправления одиночных ошибок позволяет достичь требуемый уровень интенсивности сбоев практически для всех космических применений.

ЛИТЕРАТУРА

1. Сайты зарубежных изготовителей микросхем: www.actel.com, www.aeroflex.com, aerospace.honeywell.com, www.atmel.com, www.xilinx.com.
2. **Безродных И.П., Морозова Е.И., Петрукович А.А., Семёнов В.Т.** Оценка оптимальных параметров экранов для защиты электронных систем космических аппаратов от ионизирующих излучений // Вопросы электромеханики. 2012. Т. 131.
3. **Шумилин С.С.** ОКР "Обработка-13". Разработка радиационно-стойкого микроконтроллера на базе ARM Cortex-M4F //Материалы к семинару на выставке "ЭкспоЭлектроника". 2013.
4. **Полесский С., Жаднов В., Артюхова М., Прохоров В.** Обеспечение радиационной стойкости аппаратуры космических аппаратов при проектировании // Компоненты и технологии. 2010.
5. **Никифоров А.Ю., Телец В.А.** Актуальные вопросы задания требований по радиационной стойкости электронной компонентной базы. – ОАО "ЭНПО СПЭЛС", ИЭПЭ НИЯУ МИФИ.
6. **Шунков В.Е.** Физика радиационных эффектов, влияющих на электронику в космосе.
7. **Балбеков А.О., Горбунов М.С., Данилов И.А., Долотов П.С., Филимонова М.М., Шнайдер А.И., Шунков В.Е. и др.** Вопросы применимости СБИС по 65 нм КМОП технологии в условиях воздействия факторов космического пространства. – Научно-исследовательский институт системных исследований РАН.
8. **Горбунов М.С., Долотов П.С., Шунков В.Е., Антонов А.А., Зебрев Г.И., Емельянов В.В., Борудина А.Б., Петров А.Г., Уланова А.В.** Изучение

- чение возможности использования суб-100 нм технологий для космических аппаратов с длительными сроками активного функционирования. – Научно-исследовательский институт системных исследований РАН НИЯУ МИФИ, ФГУП "НИИ приборов", ОАО "ЭНПО "СПЭЛС".
9. Научная аппаратура системы координатной привязки фотоаппаратуры с использованием ультразвуковых датчиков (СКПФ-У). Расчетный анализ радиационной стойкости // Технический отчет. – Федеральное государственное унитарное предприятие "НИИЧ "МАТИ" – РГСУ", НТЦ ОАО РКК "Энергия".
 10. Техническое задание на опытно-конструкторскую работу "Создание геостационарной гидрометеорологической космической системы третьего поколения в части создания опережающего задела бортовой гидрометеорологической аппаратуры" Шифр ОКР: "Электро-М". – Федеральная служба по гидрометеорологии и мониторингу окружающей среды, Федеральное космическое агентство.
 11. Analysis and Design of Nanoscale CMOS Storage Elements for Single Event Hardening with Multiple Node Upset. Sheng Lin, Student Member, IEEE, Yong-Bin Kim, Senior Member, IEEE, and Fabrizio Lombardi, Fellow, IEEE.
 12. **Таперо К.И., Улимов В.Н., Членов А.М.** Радиационные эффекты в кремниевых интегральных схемах космического применения.
 13. Space Radiation Effects on Microelectronics. Presented by the Semiconductor Analysis and Radiation Effects Group (SCARE Gr.), Takasaki Advanced Radiation Research Institute, Japan Atomic Energy Agency.
 14. Single Event Upset cross section dose dependence on 90nm SRAM Anne Samaras TRAD ESTEC June 5 2013.
 15. **Дворников О., Гришков В., Громыко О.** Увеличение радиационной стойкости аналого-цифровых компонентов микросистемных систем.
 16. **Гобчанский О., Попов В., Николаев Ю.** Повышение радиационной стойкости промышленных средств автоматики в составе бортовой аппаратуры.
 17. **Горбунов М.С.** Проектирование и моделирование элементов микросхем с повышенной стойкостью к дозовым эффектам космического пространства. – Национальный исследовательский ядерный университет "МИФИ".
 18. **Новоселов А.С., Волков С.И., Макаруч В.В.** Методы обеспечения радиационной стойкости КМОП СБИС с проектными нормами 0.35 мкм и менее. – МГТУ им. Баумана.
 19. **Соколов А.Г.** Программно-аппаратные методы повышения радиационной стойкости микросхем SRAM ПЛИС // Современная электроника. № 6 2014.
 20. **Кобзев Ю.М.** Проектирование аналоговых КМОП-микросхем // Краткий справочник разработчика / Под редакцией Эннса В.И. – М.: Горячая линия – Телеком. 2005.

ЗАЩИТА ВХОДОВ КМОП-КОМПАРАТОРОВ ПАРАЛЛЕЛЬНОГО АЦП ОТ ЭФФЕКТА ОБРАТНОГО ПРОХОЖДЕНИЯ СИГНАЛА

► Л.А.Антюфриева, Р.С.Михеев

Данная работа посвящена минимизации помех, влияющих на работу параллельного аналого-цифрового преобразователя. Исследован эффект обратного прохождения сигнала (выброс) во входном каскаде компаратора: рассмотрен механизм образования выброса, проведен малосигнальный анализ, подобраны параметры схем, проведено моделирование и выбрана оптимальная архитектура.

REDUCING KICKBACK NOISE ON CMOS COMPARATOR'S INPUTS IN PARALLEL ADC.

L.A.Antyufrieva, R.S.Mikheev

This paper is devoted to the problem of reducing noise in parallel ADC. The effect of kickback noise in preamplifier is researched: kickback noise origin is explained, small-signal analysis is conducted, transistors' parameters are optimized, and after simulating the most optimal architecture is presented.

ВВЕДЕНИЕ

При разработке параллельного аналого-цифрового преобразователя (АЦП) возникает ряд проблем, связанных с влиянием помех, вызванных работой схемы, на процесс преобразования. Одной из таких проблем является *выброс* – кратковременное искажение сигналов на входах аналогового элемента при переключении тактового импульса.

В компараторах параллельного АЦП используется несколько вариантов входного каскада, представляющих из себя дифференциальную пару с различными видами нагрузки [1], а именно: резистивная [2, 3]; транзисторы в диодном включении [4]; транзисторы, подключенные относительно средней точки [5]; токовое зеркало [6]. В работе проведено исследование влияния кратковременных выбросов на работу таких схем.

МЕХАНИЗМ ОБРАЗОВАНИЯ ВЫБРОСА

Причиной образования выброса является емкостная связь. Механизм его возникновения рассмотрим на примере динамического предусилителя (рис.2а). В силу симметрии схемы достаточно

рассмотреть ее часть, изображенную на рис. 2б, где $c1$ – паразитная емкость затвор-сток M1, $c2$ – паразитная емкость затвор-сток M2, $c3$ – паразитная

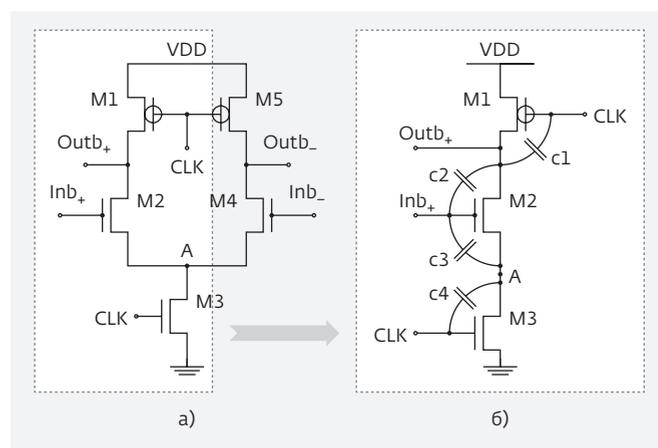


Рис.1. Динамический предусилитель (а) и его часть с обозначением паразитных емкостей, участвующих в образовании выброса (б)

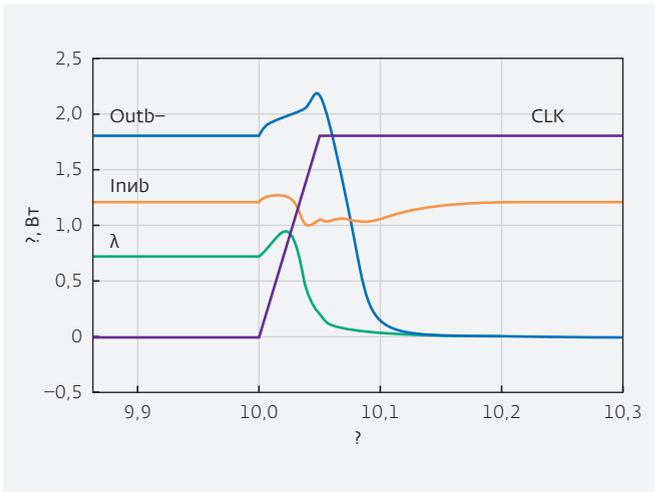


Рис.2. Выбросы на входе IN_+ , выходе OUT_+ и внутренней точке А динамического предусилителя при переключении тактового импульса

емкость затвор-исток $M2$, $c4$ – паразитная емкость затвор-сток $M3$.

Рассмотрим начальное состояние, когда тактовый сигнал $CLK = "0"$. Транзистор $M1$ полностью открыт, позволяя обкладкам емкостей $c1$ и $c2$ в точке "Outb₊" зарядиться до напряжения $V_{Outb_+} = VDD$. Транзистор $M3$ закрыт, поэтому обкладки емкостей $c3$ и $c4$ в точке "А" заряжаются до напряжения $V_A = Inb_+ - V_{th}$, где V_{th} – пороговое напряжение транзистора $M2$.

Переключение CLK из "0" в "1" (или из "1" в "0") происходит за конечное малое время (см. рис.3: $t_{rise} = 50$ пс). За это время изменение тактового импульса на затворах $M1$ и $M3$ через паразитную емкостную связь (последовательно соединенные $c1$, $c2$ и $c3$, $c4$) вызывает скачок потенциала на затворе входного транзистора $M2$ ("Inb₊"), попутно вызывая выбросы в точках "Outb₊" и "А".

Так как выброс образуется только во время нарастания (спада) тактового импульса, то справедливо считать, что его эффективная частота определяется следующим выражением:

$$f_{kb} \sim \frac{1}{t_{rise}} > 3 \text{ ГГц.} \quad (1)$$

МАЛОСИГНАЛЬНЫЙ АНАЛИЗ ВХОДНОГО КАСКАДА КОМПАРАТОРА

В качестве входного каскада компаратора рассмотрены схемы, изображенные на рис.3.

Для качественной оценки схем обратимся к малосигнальному анализу. Параметры

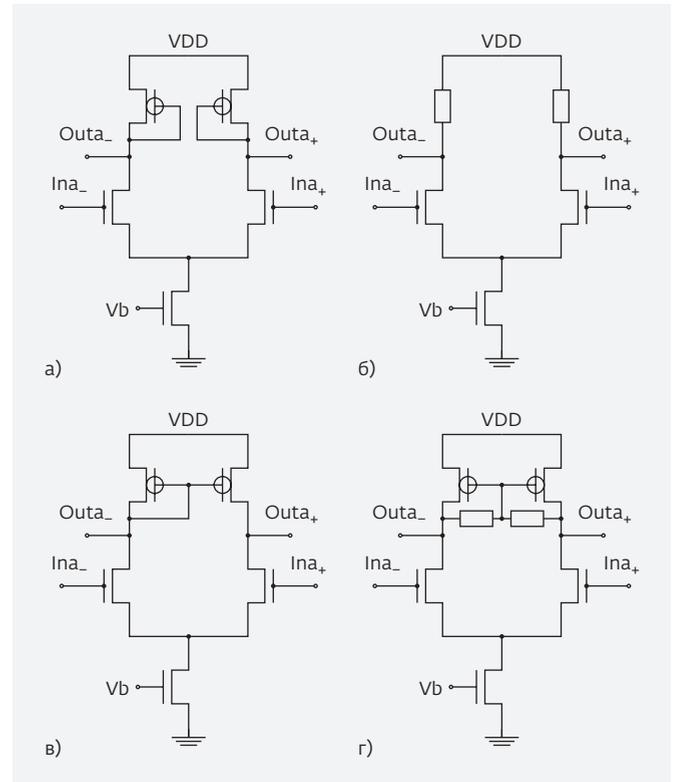


Рис.3. Входной каскад компаратора: дифференциальная пара с нагрузкой в виде транзисторов в диодном включении (а), резисторов (б), токового зеркала (в) транзисторов, подключенных относительно средней точки (г)

дифференциальной пары полагаем одинаковыми. Во всех случаях частота единичного усиления получается меньше эффективной частоты выброса (1), что позволяет исключить влияние обратной связи

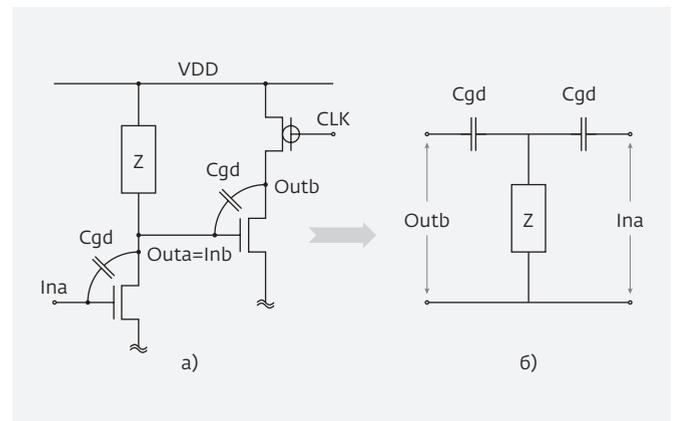


Рис.4. Фрагмент схемы соединения входного каскада с динамическим (а) и его эквивалентная схема (б)

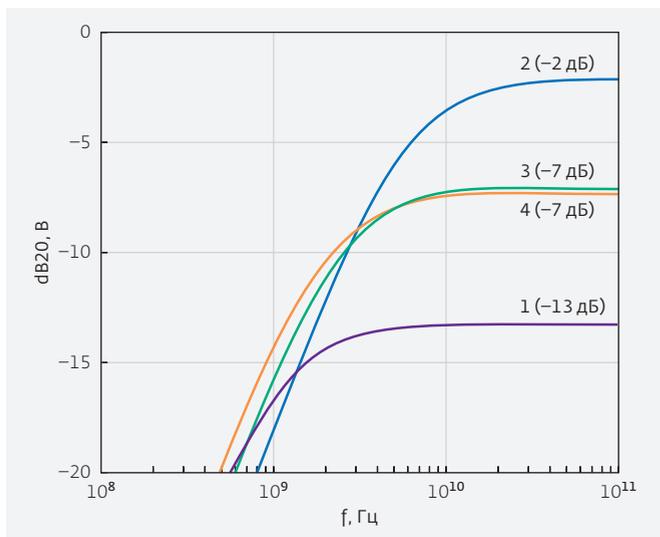


Рис.5. АЧХ рассматриваемых схем

между I_{na} и O_{Ua} . Эквивалентная схема каскада с нагрузкой (рис.4) представляет собой фильтр высоких частот.

Выражение для коэффициента передачи K в комплексной форме для такой схемы:

$$K = \frac{I_{na}}{O_{Ua}} = \frac{j\omega Z C_{gd}}{1 + j\omega Z C_{gd}}, \quad (2)$$

где Z - импеданс нагрузки дифференциальной пары входного каскада.

В общем случае Z можно представить в виде параллельно соединенного сопротивления R_z и емкости C_z :

$$Z = \frac{j\omega R_z C_z}{1 + j\omega R_z C_z}. \quad (3)$$

Из (2) и (3) получаем выражение для АЧХ в общем случае:

$$|K| = \frac{\sqrt{(\omega^2 R_z^2 C(C+C_z))^2 + \omega^2 C^2 R_z^2}}{1 + \omega^2 R_z^2 (C+C_z)^2} = \frac{\omega C R_z}{\sqrt{1 + (\omega R_z (C+C_z))^2}} \quad (4)$$

$$\lim_{\omega \rightarrow \infty} |K| = \frac{C}{C+C_z}. \quad (5)$$

Из выражения (5) видно, что амплитуда выброса уменьшается с повышением C_z .

C_z принимает наибольшее значение в случае нагрузки с транзисторами в диодном включении (рис.3), где существенный вклад оказывает емкость C_{gs} [6]. Это также подтверждается

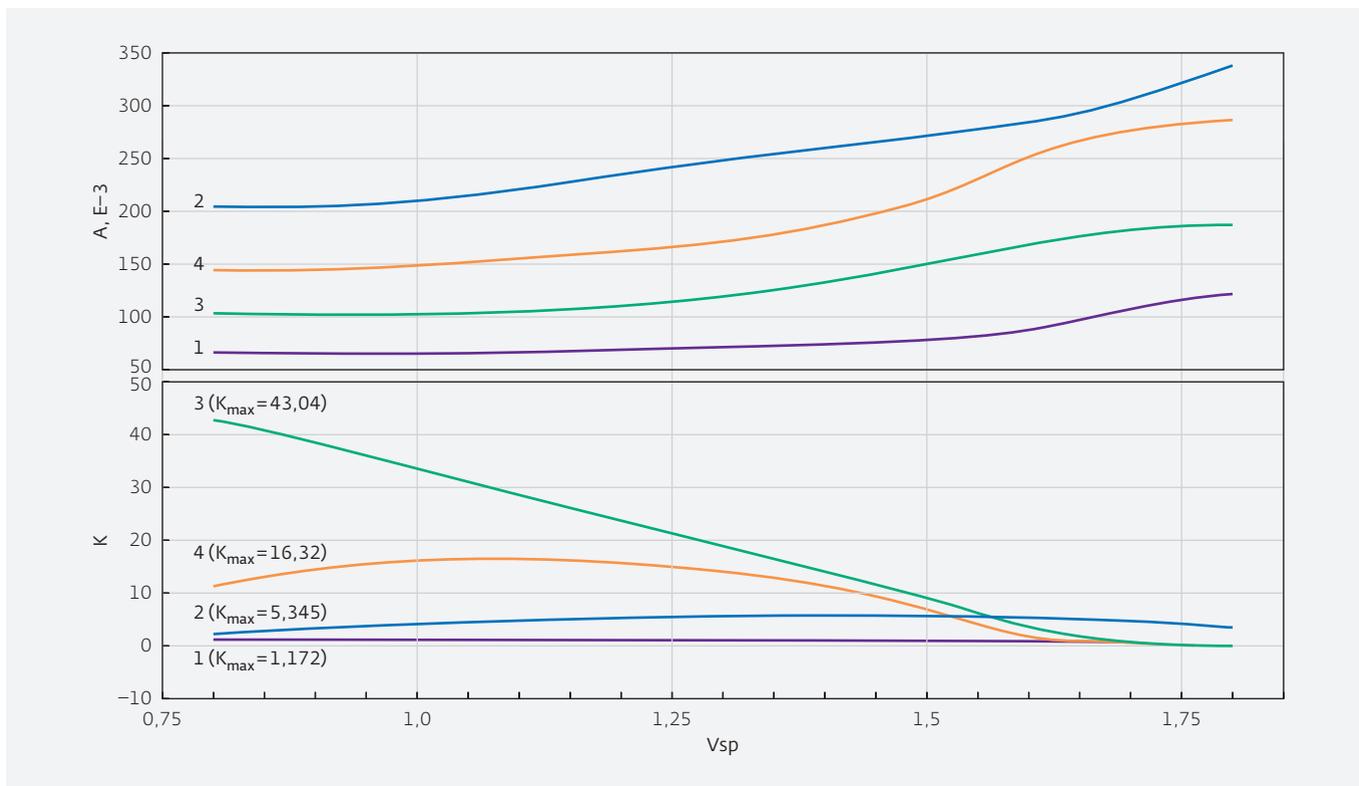


Рис.6. Зависимость амплитуды выброса A и коэффициента усиления K от величины синфазного напряжения

амплитудно-частотными характеристиками, полученными при моделировании в среде Cadence (рис.5).

Данная оценка позволяет сделать предположение, что дифференциальная пара с нагрузкой в виде транзисторов в диодном включении обеспечивает лучшую защиту от выброса.

МОДЕЛИРОВАНИЕ ВХОДНОГО КАСКАДА КОМПАРТОРА

Для проверки оценки, сделанной в предыдущей части, проведен подбор параметров и моделирование предложенных входных каскадов в паре с динамическим предусилителем.

Важным условием корректной работы компартора является передача дифференциального сигнала во входном каскаде на всем диапазоне синфазного напряжения. Параметры каскадов подобраны таким образом, чтобы коэффициент усиления K был максимальным на всем диапазоне входных напряжений и не опускался ниже 0,8. Для схемы 3 рассмотрен только положительный выход как потенциально более шумящий. Результаты моделирования схем в среде Cadence представлены на рис.6.

На основе полученных данных можно сделать вывод, что схема входного каскада с нагрузкой в виде транзисторов в диодном включении обеспечивает наименьшую амплитуду выброса, что подтверждает сделанное предположение.

ЗАКЛЮЧЕНИЕ

В ходе исследования показано, что оптимальная с точки зрения защиты от выброса архитектура входного каскада компаратора – дифференциальная пара с нагрузкой в виде транзисторов в диодном включении.

ЛИТЕРАТУРА

1. **Эннс В.И., Кобзев Ю.М.** Проектирование аналоговых КМОП-микросхем // Краткий справочник разработчика. – М.: Горячая линия – Телеком, 2005. 454с.
2. **Paulus Christian, Bluthgen Hans-Martin, Low Manuel, Sicheneder Elisabeth, Briils Nikolaus, Courtois Anne, Tiebout Marc and Thewes Roland** A 4GSh 6b Flash ADC in 0.13pm CMOS // IEEE 2004.
3. **Chen Chun-Ying, Le Michael Q.** A Low Power 6-bit Flash ADC With Reference Voltage and Common-Mode Calibration // IEEE 2009.
4. **Sandner Christoph, Clara Martin, Santner Andreas, Hartig Thomas, Kuttner Franz.** A 6bit, 1.2GSps Low-Power Flash-ADC in 0.13pm Digital CMOS // IEEE 2004.
5. **Paik Daehwa, Asada Yusuke, Miyahara Masaya, Matsuzawa Akira.** An 8-Bit 600-MSps Flash ADC Using Interpolating and Background Self-Calibrating Techniques.
6. **Baker R. Jacob.** CMOS: Circuit Design, Layout, and Simulation, 3rd Edition 2010 Wiley // IEEE Press.

СЕМЕЙСТВО МИКРОСХЕМ ПЗУ ИНФОРМАЦИОННОЙ ЕМКОСТЬЮ 4–64 МБИТ ДЛЯ КОСМИЧЕСКИХ ПРИМЕНЕНИЙ

Представлены особенности конструкции, результаты исследований и испытаний разработанного семейства микросхем ПЗУ информационной емкостью 4–64 Мбит для применений в космических аппаратах. Приведены сравнительные с известными аналогами характеристики стойкости разработанного семейства ПЗУ к ионизирующему излучению космического пространства (ИИ КП) по дозе радиации и воздействию тяжелых заряженных частиц (ТЗЧ).

Ключевые слова: ПЗУ, информационная емкость, доза радиации, тяжелые заряженные частицы.

Сведения об авторах

Геннадий Яковлевич Красников, д.т.н., академик РАН, генеральный директор ОАО "НИИМЭ и Микрон"; gkrasnikov@mikron.ru;

Владимир Дмитриевич Мещанов, к.т.н., исполнительный директор ООО "СИТРОНИКС-МД"; vmeshchanov@mikron.ru;

Николай Алексеевич Шелепин – д.т.н., профессор, первый заместитель генерального директора АО "НИИМЭ"; nchelepin@mikron.ru

ПОВЫШЕНИЕ СБЕУСТОЙЧИВОСТИ СЛОЖНО-ФУНКЦИОНАЛЬНЫХ БЛОКОВ ОЗУ В КМОП СБИС

Определены наиболее чувствительные к воздействию тяжелых частиц космического пространства функциональные узлы и элементы СФ-блоков статических КМОП ОЗУ. Проведен анализ структурных и схемотехнических методов повышения сбееустойчивости функциональных узлов СФ-блоков ОЗУ. Рассмотрены особенности реализации данных методов по нанометровым проектным нормам. Указанные методы использованы при разработке СФ-блоков ОЗУ по объемной КМОП технологии 180 нм и подтвердили свою эффективность.

Ключевые слова: СФ-блоки ОЗУ, радиационно-стойкое проектирование, СБИС "система-на-кристалле", одиночный сбой, множественный сбой.

Сведения об авторах

Герасимов Юрий Михайлович, к.т.н., с.н.с., Национальный исследовательский ядерный университет (НИЯУ) "МИФИ", 115409, г. Москва, Россия, Каширское шоссе, д. 31, каф. 3. Тел.: +7916 600 86 60, E-mail: yutger29@mail.ru.

Григорьев Николай Геннадьевич, к.т.н., Национальный исследовательский ядерный университет (НИЯУ) "МИФИ", 115409, г. Москва, Россия, Каширское шоссе, д. 31, каф. 3. E-mail: mngng@mail.ru.

Кобыляцкий Андрей Вадимович, Национальный исследовательский ядерный университет (НИЯУ) "МИФИ", 115409, г. Москва, Россия, Каширское шоссе, д. 31, каф. 3. E-mail: andreykob91@mail.ru.

Петричкович Ярослав Ярославович, д.т.н., проф., ОАО НПП "ЭЛВИС", 124460, г. Москва (Зеленоград), Россия, Южная промышленная зона, проезд 4922, стр. 2. E-mail: slava@elnet.msk.ru.

СОВРЕМЕННЫЕ КМОП КЛЮЧИ ДЛЯ СВЧ ДИАПАЗОНА

В данной статье рассмотрены современные типы аналоговых КМОП ключей СВЧ диапазона для применения в радиосвязи и радиолокации. Исследованы применяемые методы снижения потерь на проход, изоляции и увеличения максимальной подаваемой мощности для различных типов ключей.

Ключевые слова: КМОП ключ, переключатели в интегральных полупроводниковых микросхемах.

Сведения об авторах

Репин Владимир Валериевич, заместитель начальника отдела ОАО "НИИМА "Прогресс" к.т.н., repin@mri-progress.ru.;

Дроздецкий Максим Геннадьевич, проект инженер ОАО "НИИМА "Прогресс" drozdetskiy@mri-progress.ru;

Мухин Игорь Игоревич, начальник отдела ОАО "НИИМА "Прогресс" к.т.н., iimukhin@mri-progress.ru

FAMILY 4–64 MBIT ROM INTEGRATED CIRCUITS FOR SPACE APPLICATIONS

The design features, research and testing results, resistance to the total dose cosmic radiation and the heavy charged particles of the family ROM integrated circuits with information capacity 4–64 Mbit for applications in spacecraft are presented.

Key words: ROM, information capacity, total dose cosmic radiation, heavy charged particles.

Data of authors

G.Ya.Krasnikov, Dr.Sci, RAS academician, CEO, Mikron JSC, Moscow, 124460, Russia;

V. D.Meschanov, PhD, director, SITRONICS MD, Moscow, 124460, Russia;

N.A.Shelepin, Dr of Sci, Professor, First Deputy CEO, Institute of Molecular Electronics, Moscow, 124460, Russia;

IMPROVEMENT OF SRAM IP-BLOCKS HEAVY ION TOLERANCE IN BULK CMOS ASICS

The most sensitive to the effects of space heavy particles functional parts and elements of CMOS SRAM IP-blocks were identified. The analysis of structural and circuit design techniques, that improve heavy ion tolerance of SRAM IP-blocks functional parts, was performed. The implementation features of these methods in nanoscale design rules were reviewed. The SRAM IP-blocks were designed on bulk 180 nm CMOS process using these methods and confirmed their effectiveness.

Keywords: SRAM IP-blocks, Radiation-Hardening-By-Design, system-on-chip, single event upset, multiple bit upset.

Data of authors

Gerasimov Yuriy Mikhaylovich, Ph.D., Senior Researcher, National Research Nuclear University "MEPHI", Chair of Electronics, 115409, Moscow, Russia, Kashirskoe Shosse, dom 31. Тел.: +7916 600 86 60. E-mail: ymger29@mail.ru.

Grigoryev Nikolay Gennadyevich, Ph.D., National Research Nuclear University "MEPHI", Chair of Electronics, 115409, Moscow, Russia, Kashirskoe Shosse, dom 31. E-mail: mngng@mail.ru.

Kobylyatskiy Andrey Vadimovich, National Research Nuclear University "MEPHI", Chair of Electronics, 115409, Moscow, Russia, Kashirskoe Shosse, dom 31. E-mail: andreykob91@mail.ru.

Petrichkovich Yaroslav Yaroslavovich, Dr. Sci., Prof., OJSC R&D Center "ELVEES", 124460, Moscow (Zelenograd), Russia, Yuzhnaya promyshlennaya zona, proezd 4922, str.2. E-mail: slava@elnet.msk.ru.

MODERN CMOS MICROWAVE SWITCHES

This article deals with modern types of analog CMOS microwave switches for use in radio communications and radar. We studied the methods used to reduce losses in the pass, isolation and increasing the maximum power supplied to the different types of switches.

Keywords: CMOS switches, MMIC.

Data of authors

Repin Vladimir Valerievich, Deputy head of department Ph.D., repin@mri-progress.ru

Drozdetzkiy Maxim Gennadevich, project-engineer; drozdetskiy@mri-progress.ru

Mukhin Igor Igorevich., head of department Ph.D.

РАЗРАБОТКА ОТЕЧЕСТВЕННОГО КОММУТАТОРА ДЛЯ ПРОГРАММНО-КОНФИГУРИРУЕМЫХ СЕТЕЙ

Представлены принципы организации ПКС сетей и те преимущества, которые они несут, анализ требований в корпоративной сети к средствам коммутации потоков данных. Дан анализ возможностей отечественной электронной промышленности для создания средств построения ПКС сетей корпоративного уровня, в том числе, производства отечественного коммутатора для программно конфигурируемых сетей. Представлены результаты работ по выработке архитектуры OpenFlow коммутатора корпоративного уровня: определены функциональные требования и технические характеристики, структура, функциональные блоки и схема работы устройства.

Ключевые слова: импортзамещение, Программно Конфигурируемые Сети (SDN), протокол Open Flow, отечественный коммутатор, телекоммуникация, сети.

Сведения об авторах

Руслан Леонидович Смельянский, д.ф.-м.н., Профессор Московского государственного университета им. М.В. Ломоносова. Некоммерческое партнерство "Центр прикладных исследований компьютерных сетей" (НП "ЦПИКС"), Россия, 142784, г. Москва, поселение Московский, деревня Румянцево, строение 1, офис 407 Б. RSmeliansky@arccn.ru

Вячеслав Викторович Васин, Некоммерческое партнерство "Центр прикладных исследований компьютерных сетей" (НП "ЦПИКС"), Россия, 142784, г. Москва, поселение Московский, деревня Румянцево, строение 1, офис 407 Б. vvasin@arccn.ru

Станислав Олегович Беззубцев, Некоммерческое партнерство "Центр прикладных исследований компьютерных сетей" (НП "ЦПИКС"), Россия, 142784, г. Москва, поселение Московский, деревня Румянцево, строение 1, офис 407 Б. sbzzubtsev@arccn.ru

АСПЕКТЫ ОЦЕНКИ ЭФФЕКТИВНОСТИ ПРОЦЕССОРНЫХ АРХИТЕКТУР

В данной работе рассматривается проблема количественных оценок эффективности оптимизации создаваемых процессорных архитектур по критерию плотности выполняемого кода. На примере ядер компаний KM211 и ARM показано влияние различных поколений архитектур и используемых версий оптимизирующих компиляторов. Дается ссылка на созданный свободно распространяемый инструментальный пакет, с помощью которого были получены приведенные в статье данные.

Ключевые слова: плотность кода, разработка процессорных архитектур, компилятор, free software

Сведения об авторах

Бычков Дмитрий Борисович, Эксперт, ООО "KM211", Зеленоград, Россия, bdb@km211.com, 124498, г. Москва, Зеленоград, Георгиевский проспект (проезд 4806), дом 5, строение 23

Дождев Святослав Юрьевич, Начальник отдела, ООО "KM211", Зеленоград, Россия, bdb@km211.com, 124498, г. Москва, Зеленоград, Георгиевский проспект (проезд 4806), дом 5, строение 23

Контактный телефон +7499 940-03-56

СОВРЕМЕННОЕ СОСТОЯНИЕ РАЗРАБОТОК В ОБЛАСТИ ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТИ ТИПА РСМ

Благодаря расширению возможностей цифровых устройств, способных накапливать и переносить данные, спрос на компактные модули хранения информации постоянно увеличивается. В частности, только рост продаж SSD-дисков, создаваемых на основе наиболее распространенной технологии флеш-памяти, увеличивается с 31,1 млн. долларов в 2012 до 227,1 млн. долларов в 2017 г. Однако, несмотря на высокие темпы роста и объемы производства, устройства флеш-памяти обладают низкой скоростью записи информации, недостаточным количеством циклов записи информации, низкой радиационной стойкостью, достигнутым пределом уменьшения геометрических размеров ячейки памяти.

Ключевые слова: флеш-память, фазовая память, халькогенидные сплавы, полупроводниковая проводимость, поперечное квантование, кристаллизация, транзисторы, подпороговый ток.

Сведения об авторах

Г.Я. Красников, ОАО "НИИМЭ и Микрон" г. Москва;

Н.А. Зайцев, ОАО "НИИМЭ и Микрон" г. Москва;

А.Г. Красников, ОАО "НИИМЭ и Микрон" г. Москва;

Ю.И. Плотников, АО "НИИМЭ" г. Москва.

DEVELOPMENT OF THE FIRST RUSSIAN SDN-SWITCH

This paper presents the fundamentals of SDN-approach and its advantages, requirements to flow switching in corporate networks. The capabilities of Russian electronics industry are analysed to deploy the SDN-switch of the different level. The design and the architecture of the OpenFlow switch of the enterprise level are represented with functional and operational requirements, structure, operational blocks and workflow of the switch.

Keywords: Software-Defined Network, SDN, OF-switch, OpenFlow protocol, telecommunications, networking, import substitution.

Data of authors

Ruslan Smeliansky, Doctor Of Sciences, Professor. Applied Research Center for Computer Networks' (ARCCN), Moscow Reg., Leninsky District, Rumyantsevo Village Business Park "Rumyantsevo", building 1, suite 407B. RSmeliansky@arccn.ru

Vyacheslav Vasin, Applied Research Center for Computer Networks' (ARCCN), Moscow Reg., Leninsky District, Rumyantsevo Village Business Park "Rumyantsevo", building 1, suite 407B. vvasin@arccn.ru

Stanislav Bezzubtsev, Applied Research Center for Computer Networks' (ARCCN), Moscow Reg., Leninsky District, Rumyantsevo Village Business Park "Rumyantsevo", building 1, suite 407B. sbzzubtsev@arccn.ru

ASPECTS OF PROCESSOR ARCHITECTURES PERFORMANCE METRICS

In this article we consider a problem of the quantitative performance optimization evaluations by the code density criterion for the newly created processor architectures. On the example of the ARM and KM211 processor cores shows the effect of several architecture generations and optimizing compilers versions. Reference made to a created freely distributable Code Density Compare Tool, with which have been obtained the data given.

Keywords: code density, processor core design, compiler, free software

Data of Authors

Dmitry B. Bychkov, Expert, Design Center KM211, Ltd, Russia, Zelenograd, bdb@km211.com, 124498, Moscow, Zelenograd, Georgievsky prospect (proezd 4806), dom 5, stroenie 23;

Svyatoslav Y. Dozhdev, Head of Department, Design Center KM211, Ltd, Russia, Zelenograd, Svyatoslav. Dozhdev@km211.ru, 124498, Moscow, Zelenograd, Georgievsky prospect (proezd 4806), dom 5, stroenie 23.

CONTEMPORARY SITUATION IN THE FIELD OF NON-VOLATILE MEMORY DEVELOPMENT.

Due to digital devices capabilities to store and transmit data the demand for compact information storage modules grows permanently. In particular just sales of SSD-disc fabricated with mostly developed flash-memory process is expected to grow from 31.1 million USD in 2012 up to 227.1 million USD in 2017. However despite high growth ratio and high volume manufacturing flash-memory devices have low rate of information writing, insufficient information rewrite cycle numbers, low radiation resistance and no more further memory cell dimension shrinking.

Key words: flash-memory, phase shift memory, chalcogenide alloys, semiconductor conductivity, cross-quantization, crystallization, transistor, sub threshold current.

Data of Authors

Krasnikov G.Ya., Dr.Sci, RAS academician, CEO, Mikron JSC, Moscow, 124460, Russia;

Zaytsev N.A., Dr.Sci, head of department, Mikron JSC, Moscow

Krasnikov A.G., PhD student, MIET.

АНАЛИЗ КОНЦЕПЦИЙ НЕКЛАССИЧЕСКОГО КОМПЬЮТИНГА И ПАРАДИГМЫ КОННЕКЦИОНИЗМА

В данной статье представлен анализ неклассических моделей компьютеринга, отличных от моделей на основе машины Тьюринга. Рассмотрена парадигма коннекционизма с точки зрения современной интерпретации. Впервые обсуждается абстрактная модель вычислений, описанная в терминах теории множеств, на ее основе предложена коннекционистская модель вычислений.

Ключевые слова: Коннекционизм, неклассический компьютеринг, модель вычислений.

Сведения об авторах

Горнев Евгений Сергеевич, д.т.н.

Матюшкин Игорь Валерьевич, к.ф.м.н.

Теплов Георгий Сергеевич, аспирант

АО "НИИ молекулярной электроники". 124460, Зеленоград, Западный 1-й проезд, 12, строение 1
Московский физико-технический институт. 141700, Московская область, г. Долгопрудный,
Институтский пер., 9.

СРАВНЕНИЕ МЕТОДОВ ЭЛЕКТРОННО-ЛУЧЕВОЙ ЛИТОГРАФИИ С НЕПОСРЕДСТВЕННЫМ ФОРМИРОВАНИЕМ РИСУНКА И ИММЕРСИОННОЙ ЛИТОГРАФИИ 193-НМ ДЛЯ ТОПОЛОГИЧЕСКИХ РАЗМЕРОВ 20 НМ

Моделирование окна процесса (Process Window – PW) метода электронно-лучевой литографии с непосредственным формированием рисунка (Electron Beam Direct Write – EBDW) было проведено на критической толщине слоев в разработанных компанией Альтера технологиях для топологических размеров 20 нм (минимальный металлический полшаг – 32 нм). Для выбранных участков топологии (рисунка на маске) было проведено непосредственное сопоставление с результатами моделирования для метода иммерсионной литографии 193 нм (193i). Были рассмотрены следующие слои: Local Interconnect и Via 0 (одиночное формирование изображения), Metal1 (литография-травление-литография-травление (ЛТЛТ), двойное формирование изображения). Было обнаружено, что ширина дозы экспонирования (dose latitude – DL) для метода электронно-лучевой литографии с непосредственным формированием рисунка превышает ширину дозы экспонирования, соответствующую процессу иммерсионной литографии 193-нм, в 4 раза. Так как для данной топологии общий размер пятна электронного луча (beam spot) составляет величину порядка критического размера (Critical Dimension – CD), взаимозависимость между соседними элементами наблюдается низкая. При непосредственной обработке данных это проявляется в "чистых" окнах процесса. Окна процесса, в свою очередь, лимитированы ошибками установки угла кристалла в заданное положение и краями изображения (line edge). Для EBDW кривые различных участков моделирования почти сливаются в одну, в отличие от результатов метода 193-нм литографии, где они заметно различаются. В случае электронно-лучевой литографии с непосредственным формированием рисунка характеристики квадратных и прямоугольных отверстий совпадают, что позволяет увеличить плотность расположения рисунка. Исследования, результаты которых приведены в этой статье, были выполнены в рамках промышленного консорциума "IMAGINE" в CEA-Leti.

Ключевые слова: 20 нм литография, электронно-лучевая литография с непосредственным формированием рисунка, Автоматизация проектирования электронных устройств, Окно Процесса, Корпорация Альтера, Process Window, FPGA, Mapper Lithography, FLX-i200, RET.

Сведения об авторах

Питер Брандт, MAPPER Lithography, Computerlaan 15, 2628 XK Делфт, Нидерланды,

pieter.brandt@mapperialithography.com

Чару Сардана, Altera корпорация, 101 инноваций Drive, Сан-Хосе, Калифорния 95134, США,

csardana@altera.com

Дейл Ибботсон, Altera корпорация, 101 инноваций Drive, Сан-Хосе, Калифорния 95134, США

Марко Виланд, MAPPER Lithography, Computerlaan 15, 2628 XK Делфт, Нидерланды

Орельен Фау, CCEA-Leti, 17 Rue Des мучеников, 38054 GRENOBLE Cedex 9, Франция

NON-CLASSICAL COMPUTING CONCEPTS AND CONNECTIONISM PARADIGM ANALYSIS

This paper provides analysis of non-classical computing models different from models based on Turing machine. Connectionism paradigm is reviewed with modern interpretation point of view. For the first time abstract model of computation discussed within set Theory terms. Based on said abstract model Connectionist computing model is proposed.

Keywords: Connectionism, non-classical computing, model of computation.

Data of Authors

Gornev, D.Sc.

Matyushkin, Ph.D.

Teplov, graduate student

MERI JSC. 12/1st Zapadny Proezd, Zelenograd, Moscow 124460 Russian Federation

Moscow Institute of Physics and Technology. 9 Institutskiy per., Dolgoprudny, Moscow Region, 141700, Russian Federation

COMPARISON BETWEEN E-BEAM DIRECT WRITE AND IMMERSION LITHOGRAPHY FOR 20 NM NODE

E-beam Direct Write (EBDW) process window simulations were performed on critical layers in Altera designs of the 20 nm node (minimum metal half-pitch 32 nm). For selected layout clips, a direct comparison is made with 193i simulation results. Local Interconnect and Via0 (single patterning) and Metal1 (Litho-Etch-Litho-Etch (LELE) double patterning) layers are considered. The EBDW dose latitude was found to exceed that of the 193i process by a factor 4. As the electron beam total spot size is of the order of the Critical Dimension (CD) for the considered node, interplay between neighboring features is low. This results in straightforward data preparation with typically 2 kernels and "clean" process windows. The latter are mainly limited by Edge Placement Errors of Line Ends. The curves for the various simulation sites roughly overlap, as opposed to the 193i case in which they differ significantly. In EBDW the performance of square vias equals that of rectangular vias, enabling a denser via packing. The research leading to these results has been performed in the frame of the industrial collaborative consortium IMAGINE driven by CEA-Leti.

Keywords: 20 nm node lithography, E-beam Direct Write lithography, Electronic Design Automation, Process Window, Altera Corporation, FPGA, Mapper Lithography, FLX-i200, RET

Data of Authors

Pieter Brandt, MAPPER Lithography, Computerlaan 15, 2628 XK Delft, pieter.brandt@mapperialithography.com

Charu Sardana, Altera Corporation, 101 Innovation Drive, San Jose, CA 95134, U.S.A., csardana@altera.com

Dale Ibbotson, Altera Corporation, 101 Innovation Drive, San Jose, CA 95134, U.S.A.

Marco Wieland, MAPPER Lithography, Computerlaan 15, 2628 XK Delft

Aurelien Fay, CEA-Leti, 17 rue des martyrs, 38054 GRENOBLE Cedex 9, France

КОСМИЧЕСКАЯ ПРОГРАММА И РАДИАЦИОННАЯ СТОЙКОСТЬ СОВРЕМЕННЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Статья посвящена проблемам обеспечения стойкости аппаратуры к воздействию радиационных факторов космического пространства. Представлены используемые технологические, топологические и схемотехнические решения при разработке современных микросхем. Приведены параметры стойкости по некоторым зарубежным и отечественным изделиям.

Ключевые слова: космическая аппаратура, радиационная стойкость, накопленная доза, толстый окисел, одиночные эффекты, тяжелые заряженные частицы, тиристорный эффект, катастрофический отказ, одиночные сбои, линейная передача энергии, сечение отказа, коррекция одиночных ошибок, радиационно стойкая библиотека, технология КНИ, топологические нормы, режим "холодный резерв"

Сведения об авторах

Марат Салимович Темирбулатов, руководитель группы,

Виктор Иванович Эннс, кандидат технических наук, заместитель генерального директора по новым продуктам

АО "НИИМЭ и Микрон". <http://www.mikron.ru>

ЗАЩИТА ВХОДОВ КМОП КОМПАРАТОРОВ ПАРАЛЛЕЛЬНОГО АЦП ОТ ЭФФЕКТА ОБРАТНОГО ПРОХОЖДЕНИЯ СИГНАЛА

Данная работа посвящена минимизации помех, влияющих на работу параллельного аналого-цифрового преобразователя. Исследован эффект обратного прохождения сигнала (выброс) во входном каскаде компаратора: рассмотрен механизм образования выброса, проведен малосигнальный анализ, подобраны параметры схем, проведено моделирование и выбрана оптимальная архитектура.

Ключевые слова: выброс, компаратор, АЦП

Сведения об авторах

Антуфриева Любовь Александровна, Инженер-конструктор, ОАО "НИИМЭ и Микрон", Зеленоград, 1-й Западный проезд, д. 12/1; Бакалавр, Московский физико-технический институт (государственный университет), 141700, Московская область, г. Долгопрудный, Институтский пер., 9; lantuyfrieva@mikron.ru

Михеев Роман Сергеевич Инженер-конструктор, ОАО "НИИМЭ и Микрон", Зеленоград, 1-й Западный проезд, д. 12/1; Бакалавр, Московский физико-технический институт (государственный университет), 141700, Московская область, г. Долгопрудный, Институтский пер., 9; rmikheev@mikron.ru

SPACE PROGRAM AND RADIATION HARDNESS OF MODERN IC'S

The article is devoted to the problems of ensuring the durability of the equipment to the effects of radiation factors of outer space. Submitted used technological, topological and circuit solutions when designing modern chips. Lists the parameters of durability according to some foreign and domestic products.

Keywords: radiation hardness, thick oxide, single effects of heavy charged particles, latch-up, linear energy transfer, correction of single errors, radiation hardened library, SOI technology, "cold standby" mode

Data of authors

Marat Salimovich Temirbulatov,

Viktor Ivanovich Enns, Candidate of Technical Sciences

JSC "NIIME & Mikron". <http://www.mikron.ru>

REDUCING KICKBACK NOISE ON CMOS COMPARATOR'S INPUTS IN PARALLEL ADC

This paper is devoted to the problem of reducing noise in parallel ADC. The effect of kickback noise is researched in preamplifier: kickback noise origin is explained, small-signal analysis is conducted, transistor parameters are optimized, and after simulating the most optimal architecture is presented.

Keywords: kickback noise, comparator, ADC

Data of authors

Antuyfrieva Lyubov Aleksandrovna, Design Engineer, Mikron JSC 1-y Zapadny Proezd 12/1, Zelenograd, Moscow, 124460, Russia; Bachelor, Moscow Institute of Physics and Technology (State University), 9

Institutskiy per., Dolgoprudny, Moscow Region, 141700, Russian Federation; lantuyfrieva@mikron.ru
Mikheev Roman Sergeevich Design Engineer, Mikron JSC 1-y Zapadny Proezd 12/1, Zelenograd, Moscow, 124460, Russia; Bachelor, Moscow Institute of Physics and Technology (State University), 9 Institutskiy per., Dolgoprudny, Moscow Region, 141700, Russian Federation; rmikheev@mikron.ru